

学校代码 10701
分类号 TN82

学号 1511110317
密级 公开

西安电子科技大学

博士学位论文

4H-SiC 厚膜外延关键技术研究 和器件验证

作者姓名：钮应喜

一级学科：电子科学与技术

二级学科：微电子学与固体电子学

学位类别：工学博士

指导教师姓名、职称：汤晓燕教授

学 院：微电子学院

提交日期：2020 年 6 月

The 4H-SiC Thick Homoepitaxial Key Technologies Research and Device Verification

A dissertation submitted to
XIDIAN UNIVERSITY
in partial fulfillment of the requirements
for the degree of Doctor of Philosophy
in Microelectronics and Solid-State Electronics

By

Niu Yingxi

Supervisor: Tang Xiaoyan Title: Professor

June 2020

西安电子科技大学 学位论文独创性（或创新性）声明

秉承学校严谨的学风和优良的科学道德，本人声明所呈交的论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢中所罗列的内容以外，论文中不包含其他人已经发表或撰写过的研究成果；也不包含为获得西安电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同事对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

学位论文若有不实之处，本人承担一切法律责任。

本人签名： 钮应喜 日期： 2020.6.19

西安电子科技大学 关于论文使用授权的说明

本人完全了解西安电子科技大学有关保留和使用学位论文的规定，即：研究生在校攻读学位期间论文工作的知识产权属于西安电子科技大学。学校有权保留送交论文的复印件，允许查阅、借阅论文；学校可以公布论文的全部或部分内容，允许采用影印、缩印或其它复制手段保存论文。同时本人保证，结合学位论文研究成果完成的论文、发明专利等成果，署名单位为西安电子科技大学。

本人签名： 钮应喜

导师签名： 汤晓燕

日期： 2020.6.19

日期： 2020.6.19

摘要

碳化硅 (SiC) 作为第三代半导体材料的代表, 具有宽禁带、高击穿电场、高电子饱和迁移率、高热导率等优良的物理化学特性, 是制备高压、高温、大功率电力电子功率器件的理想材料之一, 尤其适合于电力系统的高压应用, 可以说是“为电网而生”。经过 30 多年的发展, SiC 电力电子器件在中低压领域已经逐渐成熟, 并走向产业化进程, 随着终端市场需求的强劲增长, 未来几年内将呈现爆发式增长。但是, 在高压电力系统领域, 由于其超高电压、大电流、大功率的特殊需求, 制备相应的功率器件就需要超厚外延层厚度、较低掺杂浓度、大面积和低缺陷密度的高质量厚膜同质外延材料。目前, 在厚膜外延材料方面还存在诸多问题, 如缺陷密度大难以实现大面积芯片、少子寿命低影响双极器件的电导调制效应等, 限制了 SiC 功率器件在高压电力系统中的应用。本文针对电力系统的特殊需求, 对厚膜 SiC 同质外延材料制备的关键技术开展了针对性地研究, 并对研制的外延材料进行了二极管器件验证:

1. 从理论上分析了 SiC 同质外延生长机理。针对厚膜外延材料, 分析了快速外延生长技术路线, 并重点介绍了市场主流的快速外延生长设备。为了准确判定材料的质量, 研究了厚度、掺杂浓度、缺陷、少数载流子寿命等参数的表征方法。

2. 基于在线刻蚀技术, 提出了一种用于低缺陷厚膜材料生长的周期性外延生长技术。通过将传统外延生长分解为多个“生长-刻蚀-吹扫-再生长”过程, 在外延生长过程中多次停止生长, 期间进行“刻蚀-吹扫”工艺, 可以及时地处理从腔体上掉落在表面的颗粒物, 并抑制其诱导的其他缺陷。通过 70 μm 的厚膜外延实验发现, 该技术可使三角形缺陷降低到 30% 左右, 缺陷控制水平达到国内领先水平, 同时还可促使 BPD 向 TED 转化, 实现 BPD 密度的降低。通过优化气流分布, 6 英寸外延实现了 1.21% 的厚度不均匀性和 2.5% 的掺杂浓度不均匀性, 达到国内同行领先水平。

3. 基于 PL 和 $\mu\text{-PCD}$ 的测试技术, 深入地分析研究了制约超厚膜 (180 μm) SiC 外延材料少数载流子寿命的因素。通过 PL 和 $\mu\text{-PCD}$ mapping 对比分析, 发现在无缺陷区, 少数载流子为 3.02 μs , 三角形表面区的少数载流子寿命为 0.77 μs , 三角形边缘附近 (大量层错) 的少数载流子寿命为 1.34 μs 。发现在厚膜外延材料中, 三角形缺陷对少子寿命的影响要大于层错的影响。

4. 开展了对增强少子寿命的技术研究, 对比了提升少子寿命的三种技术手段。系统地研究了高温氧化、退火、化学机械抛光以及外延工艺等方法对少子寿命的影响。研究发现, 通过长时间高温氧化和退火工艺将少子寿命提升到 5 μs , 能够满足高压双极器件的需求, 并揭示了高温氧化的机理: 在氧化层界面附近的间隙 C 向外延层中扩散, 修复了影响少子寿命的 C 空位缺陷。其次, 通过化学机械抛光技术对 SiC 外延

表面进行处理后,使得整片的少子寿命更加均匀,这是因为化学机械抛光降低了表面复合速率。增大 C/Si 比(形成富 C 条件)和化学机械抛光对增强少子寿命有一定的效果,但是都远达不到器件的需要。

5.开展了 p 型外延生长技术研究,研究了 p 型掺杂机理,实现了在 $1\text{E}16\text{-}1\text{E}19\text{ cm}^{-3}$ 范围可控,获得 p 型掺杂浓度和 TMA 流量的线性关系。为了控制 p 型外延中的缺陷,在 p 型外延生长前将周期性外延生长技术中特有的“刻蚀-吹扫”工艺引入,由于“刻蚀-吹扫”工艺的刻蚀和清理作用,可以将表面的异物进行刻蚀,并清理干净,为 p 型外延生长提供了良好的表面状况,抑制了 p 型外延形貌缺陷的产生,降低了 p 型外延对器件制造合格率的影响。研究还发现,由于 Al 掺杂带来的内部应力使得层错缺陷有所提升,通过光致发光检测(PL)和缺陷腐蚀分析了其形成机理:Al 掺杂产生的晶格应力使得在界面处形成位错得到释放,然后在外延生长过程中又转化成了层错。

6.对制备的 6 英寸、 $70\mu\text{m}$ 的厚膜 4H-SiC 外延材料进行了有源区为 67mm^2 ,电压为 6500V 的二极管器件验证。研究表明,当正向偏置电压从 0 扫描到 5 V 时,JBS 二极管表现出良好的正向特性。当正向电流达到 25A 时,二极管的压降小于 2.89V。二极管反向漏电流达到 $10\mu\text{A}$ 时,二极管的反向击穿电压达到 7800V,击穿效率达到 82%;正反向都达标的芯片占比 60%。通过 PiN 二极管流片,验证了少子寿命提升对 PiN 二极管正向特性的改善;同时,验证了低缺陷密度(尤其是低 BPD)对于改善正向电压退化现象和对器件制造合格率提升的作用。研究了外延缺陷对器件性能的影响,发现三角形、滴落物缺陷对器件的击穿电压及漏电流均有较大影响,会大大降低反向击穿电压,并且影响程度较薄外延对中低压器件的影响更加严重。在厚膜外延中必须重点进行控制。

关键词: 4H-SiC, 厚度, 缺陷, 高压, 电网

ABSTRACT

Silicon carbide (SiC), as the representative of the third generation semiconductor materials, has superior physical properties such as wide bandgap, high breakdown electric field, high electron saturation mobility and high thermal conductivity. It is one of the ideal semiconductor materials for preparing high voltage, high temperature and high power electronic devices, especially for high voltage applications in grid systems, which could be said as "Born for the grid". After about 30 years of development, SiC devices have been widely used in low and middle voltage field, with the strong growth of application market demand, there will be explosive growth in the next few years. But, because of grid features, such as super high voltage, large current, high power, high quality SiC epilayers with ultra-thickness, low doping concentration and low defect are required. There still have many problems unsolved in this field, which restrict SiC device application in grid system. In this work, we studied the key technologies of thick SiC homoepitaxial layers, then made 6500V diodes for testing SiC epitaxial materials. The main contents and highlights are as follows:

1) The growth mechanism of SiC homogeneous epitaxy was analyzed theoretically. For thick epitaxial film materials, the technical route of rapid epitaxy growth is analyzed, and the main equipment of rapid epitaxy growth in the market is mainly introduced. In order to judge the quality of materials accurately, the characterization methods of thickness, doping concentration, defects and minority carrier lifetime were studied.

2) Based on the on-line etching technique, a periodic epitaxy technique for the growth of thick film materials with low defects was developed. By decomposing the traditional epitaxy growth into several "growth-etching-purge-regrowth" processes, stopping the growth during the epitaxy growth process and carrying out multiple "etching-purge" processes, the particles falling from the chamber can be cleaned in time, and other defects induced by them can be suppressed. Thick epitaxial film experiments with 70 μm show that this technology can reduce the triangular defects about 30%, the defect control level reaches domestic leading level, and promote the transformation of BPD to TED and reduce the density of BPD. By optimizing the gas flow distribution, 1.21% thickness non-uniformity and 2.5% doping concentration non-uniformity are achieved on the 6 inch substrate, reaching the domestic leading level.

3) Based on the PL and μ -PCD testing techniques, the factors affecting minority carrier lifetime of ultra-thick film (180 μm) SiC epitaxy materials were analyzed. By comparing PL

with μ -PCD mapping, it was found that in the defect-free region, the minority carrier lifetime is 3.02 μs , the minority carrier lifetime in the triangular surface region is 0.77 μs , and the minority carrier lifetime near the triangular edge (a large number of stacking faults) is 1.34 μs . It was found that in thick epitaxial materials, the effect of triangular defects on minority carrier lifetime is greater than stacking faults.

4) The technologies on enhancing minority carrier lifetime have been studied, and three methods of improving minority lifetime are compared. The effects of high temperature oxidation, high temperature annealing, chemical mechanical polishing and epitaxial process on minority carrier lifetime were systematically studied. It was found that the minority carrier lifetime was increased to 5 μs by long-time high temperature oxidation and annealing, which can meet the needs of high voltage bipolar devices. The mechanism of high temperature oxidation is revealed: the C near the oxide layer interface diffuses to the epitaxial layers, and the C-vacancy defects affecting minority carrier lifetime are repaired. After surface treatment by CMP, it is found that the minority carrier lifetime of the whole wafer is more uniform, because the CMP reduces the surface recombination rate. Increasing C/Si ratio (C rich condition) and CMP have certain effect on enhancing minority carrier lifetime, but they are far from the needs of devices.

5) The growth technology of p-type epitaxy and its mechanism were studied. The linear relationship between p-type doping concentration and TMA flow rate was obtained in the range of $1\text{E}16\text{-}1\text{E}19\text{ cm}^{-3}$. In order to control the defects in p-type epitaxy, the special "etching-purging" process of periodic epitaxy was introduced before p-type epitaxy growth. Because of the etching and cleaning effect of the "etching-purge" process, foreign particles on the surface could be etched in time and cleaned up, which provided a good surface condition for p-type epitaxy growth, inhibited the generation of defects in p-type epitaxy, and reduced the influence of p-type epitaxy on the yield of device manufacturing. It is also found that the internal stress caused by Al doping enhances the stacking fault. The formation mechanism is analyzed by PL and molten KOH. The lattice stress caused by Al doping releases the dislocation at the interface, and then it is transformed into stacking fault in the epitaxial growth process.

6) The 6 inch, 70 μm thick film 4H-SiC epitaxial material was verified by the 6500V diode device with the active region of 67mm^2 . The results show that the JBS diode shows good forward characteristics, when the forward bias voltage is from 0 to 5 V. When the forward current reaches 25A, the diode voltage drop is less than 2.89V. When the reverse leakage current of the diode reaches 10 μA , the reverse breakdown voltage of the diode

ABSTRACT

reaches 7800V, and the breakdown efficiency reaches 82%; the yeild with 60% was got. The improvement of the positive characteristic of PiN diode by improving the minority carrier lifetime was verified. At the same time, the effect of low defect density (especially low BPD) on the improvement of the positive voltage degradation and the improvement of the device manufacturing yield were verified also. The influence of epitaxial defects on the performance of devices were studied. It was found that the triangle and drop defects have great influence on the breakdown voltage and leakage current of devices, which will greatly reduce the reverse breakdown voltage, and the influence is more serious than that of thin epitaxial defects. In the process of thick film epitaxy, we must focus on the control for defects.

Keywords: 4H-SiC, Thickness, Defect, High voltage, Grid

插图索引

图 1.1 SiC 晶体基本结构	3
图 1.2 双层 C-Si 键结构	3
图 1.3 常见 SiC 同质异晶型的堆垛顺序示意图	4
图 2.1 CVD 基本原理和反应过程示意图 ^[99]	15
图 2.2 SiC CVD 基本系统示意图	16
图 2.3 (a) 3C-SiC 二维生长 (b) 6H-SiC 同质外延的台阶流控制生长	17
图 2.4 生长速率与 Si/H ₂ 的关系 (a), 不同系统下对器件合格率的影响 (b)	19
图 2.5 PE106 碳化硅 CVD 外延设备	21
图 2.6 PE106 外延生长区温度场分布	22
图 2.7 (a) 外延炉腔体示意图和 (b) 气流示意图 ^[44]	23
图 2.8 50rpm 和 1000rpm 下, 生长速率和压强的关系 ^[115]	23
图 2.9 SiC 外延材料中主要缺陷示意图	24
图 2.10 微管的 KOH 腐蚀形貌	25
图 2.11 BPD 的腐蚀形貌	26
图 2.12 螺位错(TSD)和刃位错 (TED) 的 KOH 腐蚀形貌	27
图 2.13 三角形 (Triangle) 缺陷图谱	29
图 2.14 胡萝卜 (Carrot) 缺陷图谱	29
图 2.15 台阶聚集 (Step Bunching)	29
图 2.16 红外傅里叶变换外延层厚度测试原理图	31
图 2.17 C-V 测试原理图	31
图 2.18 缺陷检测光学原理设计示意图	33
图 2.19 μ -PCD 原理	35
图 2.20 激发脉冲与瞬态光电导衰减曲线	36
图 3.1 外延炉示意图 (a) 及计算网格 (b)	43
图 3.3 硅源流量和生长速率的关系 (仿真预测)	48
图 3.4 缺陷分布图	49
图 3.5 三个样品的局部光学照片	49
图 3.6 样品的二维 AFM 图形	49
图 3.7 三维 AFM 图形	50
图 3.8 生长温度对生长速率的影响	52
图 3.9 在 1600 °C (3-4), 1633 °C (3-5), 1655 °C (3-6) 和 1680 °C (3-7) 温度下的表面形	

貌.....	53
图 3.10 不同温度条件下 4H-SiC 外延层 AFM 图.....	54
图 3.11 硅滴演化模型.....	54
图 3.12 图 3.9(3-4)中 A 点和 B 点的 raman 谱.....	55
图 3.13 外延片的表面的 SEM 图像(a)、A 点(c)和 B 点(b)的切面 SEM 图像.....	55
图 3.14 (a)传统外延生长方法(b)周期性外延生长方法.....	57
图 3.15 (a)表面处理较差的衬底和(b)表面处理较好的衬底.....	58
图 3.16 不同刻蚀时间下样品表面的 AFM 图像.....	58
图 3.17 传统外延生长的结果(a)BPD、SSF 分布图(b)表面缺陷分布图.....	59
图 3.18 周期性外延生长的结果(a)BPD、SSF 分布图(b)表面缺陷分布图.....	60
图 3.19 周期性外延生长控制缺陷示意图.....	60
图 3.20 周期性外延中 BPD 转换示意图.....	62
图 3.21 转化后 BPD 的 PL 图.....	62
图 3.22 晶片中心和边缘腐蚀结果.....	63
图 3.23 耗尽曲线不同位置衬底上方掺杂源的分布.....	64
图 3.24 LPE106 的气流分布图.....	65
图 3.25 厚度和掺杂浓度不均匀性.....	65
图 3.26 n 型及 p 型 4H-SiC 外延中主要深能级的能级位置 ^[173]	67
图 3.27 (a) 三角形缺陷的显微镜照片(b)少子寿命分布图和 (c)PL 分布图.....	68
图 3.28 室温下的 μ -PCD 衰减曲线.无缺陷区(P1),三角形表面(P3) 和三角形边缘(P2).....	69
图 3.29 (a) 三角形缺陷的显微镜照片, PL 强度的分布图 (b) 390nm, (c) 420nm and (d) 540nm.....	70
图 3.30 P1、P2、P3 位置 PL 和 Raman 光谱.....	70
图 3.31 三角形边缘的 PL 谱图.....	71
图 3.32 三角形缺陷的 SEM 图像和 STEM 图像. (a) 三角形缺陷的 SEM 图像, (b) 3C-SiC 和 4H-SiC 界面的 BF-STEM 图像和 (c) 3C-SiC 和 4H-SiC 界面的 HAADF-STEM 图像.....	71
图 3.33 氧化前、氧化后、退火后少子寿命衰减曲线.....	72
图 3.34 高温氧化法增强少子寿命的机理示意图.....	73
图 3.35 未经过 CMP 处理的少子寿命 mapping 图 (平均值 1.22 μ s).....	74
图 3.36 CMP+退火处理后的少子寿命 mapping 图 (平均值 1.53 μ s).....	74
图 3.37 CMP 前和 CMP 后少子寿命衰减曲线.....	75
图 3.38 Candela 测试表面缺陷.....	75

图 3.39 CMP 修复表面示意图.....	76
图 3.40 不同工艺条件下的少数寿命 mapping 图.....	77
图 4.1 SiC 的 Si 面和 C 面上 n 型和 p 型掺杂机理.....	80
图 4.2 载流子浓度和 TMA 的关系图.....	82
图 4.3 SIMS 校准实验测试得到的载流子浓度 (实验目标值 $1e18\text{ cm}^{-3}$).....	82
图 4.4 C/Si 比对 Al 掺杂浓度的影响.....	83
图 4.5 样品的 X 射线衍射图谱.....	83
图 4.6 p 型外延前后缺陷分布对比.....	84
图 4.7 新的 P 型外延生长工艺.....	85
图 4.8 采用周期性外延生长的 p 型外延前后缺陷分布对比.....	85
图 4.9 P 型外延中 SF 图像及形成机理示意图.....	86
图 4.10 P 型外延前、后 TTV 和 LTV 的变化.....	87
图 4.11 P 型外延前、后 Bow 和 Warp 的变化.....	87
图 5.1 三种 SiC 功率二极管结构示意图.....	89
图 5.2 穿通型二极管电场分布和器件外延参数.....	91
图 5.3 耗尽层厚度确定, 碳化硅的击穿电压 BV 随碳化硅外延层掺杂浓度的变化曲线.....	91
图 5.4 耗尽层厚度确定, 碳化硅的品质因素 (figure of merit) FOM 随碳化硅外延层掺杂浓度的变化曲线.....	92
图 5.5 碳化硅二极管制备工艺流程图.....	93
图 5.6 碳化硅功率二极管的工艺流程截面示意图.....	94
图 5.7 流片完成的晶圆照片.....	97
图 5.8 6500V 4H-SiC JBS 室温下正向特性曲线.....	97
图 5.9 6500V 4H-SiC JBS 室温下反向特性曲线.....	98
图 5.10 正向导通电压和反向耐压 Map 图.....	98
图 5.11 在缺陷较多的外延材料制作器件的 Map 图.....	99
图 5.12 经过高温氧化和未处理的 PiN 二极管的正向 I-V 特性.....	100
图 5.13 50A 应力下 PiN 二极管导通压降的变化.....	100
图 5.14 器件不合格统计图.....	101
图 5.15 有源区内含有三角形缺陷和无缺陷的 4H-SiC JBS 反向 I-V 特性图.....	102
图 5.16 有源区内含有三角形缺陷和无缺陷的 4H-SiC PiN 反向 I-V 特性图.....	102
图 5.17 有源区内含有滴落物缺陷和无缺陷的 4H-SiC JBS 反向 I-V 特性图.....	103

表格索引

表 1.1 SiC 与其他半导体材料的物理属性参数对比 ^{[2][3][4][5]}	1
表 1.2 商用外延设备性能指标 ^{[30][31][32][33]}	6
表 1.3 典型的 10kV 以上碳化硅器件所用的外延层材料参数总结	9
表 1.4 缺陷对器件性能及可靠性的影响 ^[63]	11
表 2-1 各种测试少数载流子寿命的方法	33
表 3.1 气相反应中, SiH ₂ Cl ₂ 、SiHCl ₃ 、SiCl ₄ 分解反应需要的激活能 ^[134]	41
表 3.2 模拟中使用的主要物理参数	43
表 3.3 实验工艺参数	48
表 3.4 实验工艺参数	51
表 3.5 国内外 70μm 外延片缺陷水平指标对比	60
表 3.6 均匀性改进实验条件	65
表 3.7 国内外 70μm 厚度外延不均匀性指标对比分析	65
表 3.8 氯基反应体系下, 不同工艺条件对少子寿命的影响	76

符号对照表

符号符号名称

Å	埃
V	伏
eV	电子伏
μs	微秒
δ	光吸收深度
K	开耳文
°C	摄氏度
mbar	毫巴
d	晶面间距
θ	入射角
nm	纳米
μm	微米
sccm	毫升每分钟流量
slm	升每分钟流量

缩略语对照表

缩略语	英文全称	中文对照
SiC	Silicon Carbide	碳化硅
CVD	Chemistry Vapour Deposition	化学气相沉淀
FTIR	Fourier Transform Infrared Spectroscopy	傅里叶转换红外光谱
μ -PCD	Microwave photoconductivity decay	微波光电导衰减
XRD	X-Ray Diffraction	X 射线衍射
AFM	Atomic Force Microscope	原子力显微镜
TEM	Transmission Electron Microscope	透射电子显微镜
SEM	Scanning Electron Microscope	扫描电子显微镜
FIB	Focused Ion Beam	聚焦离子束
BPD	Basal Plane Dislocation	基面位错
TED	Threading Edge Dislocation	刃位错
TSD	Threading Screw Dislocation	螺位错
PL	Photoluminescence	光致发光
SBD	Schottky Barrier Diode	肖特基势垒二极管
JBS	Junction Barrier Schottky	结势垒肖特基

目录

摘要	I
ABSTRACT	III
插图索引	VII
表格索引	XI
符号对照表	XIII
缩略语对照表	XV
目录	XVII
第一章 绪论	1
1.1 引言	1
1.2 SiC 材料简介	2
1.3 SiC 材料在电网系统方面的应用	4
1.4 厚膜 SiC 外延材料和高压 SiC 功率器件的研究现状	5
1.4.1 研究意义	5
1.4.2 厚膜 SiC 外延研究状况	5
1.4.3 高压器件的研究现状及缺陷对器件性能的影响	8
1.4.4 存在的问题	11
1.5 本文主要工作	13
第二章 SiC 外延生长技术及表征方法	15
2.1 4H-SiC 同质外延生长机理	15
2.1.1 CVD 的基本原理	15
2.1.2 SiC 外延台阶流控制生长方法	16
2.1.3 快速外延生长技术	18
2.1.4 外延的主要工艺参数	19
2.2 4H-SiC 快速外延 CVD 设备	21
2.2.1 SiC 快速水平 CVD 外延设备	21
2.2.2 SiC 快速垂直 CVD 外延设备	22
2.3 4H-SiC 外延中缺陷的形成及转化	24
2.4 4H-SiC 外延材料的表征方法	29
2.4.1 外延层厚度测试	30
2.4.2 外延层掺杂浓度测试	31
2.4.3 缺陷测试	32

2.4.4	少数载流子寿命测试.....	33
2.5	本章小结.....	36
第三章	大尺寸厚膜 SiC 外延关键技术.....	39
3.1	快速外延技术.....	39
3.1.1	仿真模型.....	42
3.1.2	仿真结果与实验对比.....	46
3.2	生长速率对表面形貌的影响.....	48
3.2.1	实验设计.....	48
3.2.2	讨论与分析.....	48
3.3	生长温度对 SiC 外延的影响.....	50
3.3.1	实验设计.....	51
3.3.2	讨论与分析.....	51
3.4	周期性外延生长技术研究.....	56
3.4.1	实验设计.....	57
3.4.2	讨论与分析.....	58
3.5	大尺寸高均匀性厚膜外延生长.....	63
3.5.1	实验设计.....	64
3.5.2	讨论与分析.....	65
3.6	少数载流子寿命研究.....	66
3.6.1	厚膜 SiC 外延少子寿命影响因素分析.....	67
3.6.2	增强少子寿命的技术研究.....	72
3.7	本章小结.....	78
第四章	p 型 SiC 外延生长技术.....	79
4.1	p 型外延掺杂机理.....	79
4.2	实验设计.....	80
4.3	p 型掺杂浓度的控制.....	81
4.4	p 型外延后缺陷的演变.....	84
4.5	P 型外延中 Al 原子掺杂带来的应力释放问题.....	85
4.5.1	缺陷形式释放-层错形成机理.....	85
4.5.2	力学性能的变化.....	86
4.6	本章小结.....	87
第五章	高压 SiC 功率器件验证.....	89
5.1	SiC 二极管外延材料设计.....	90
5.2	SiC 二极管器件流片验证.....	92

5.2.1 二极管器件工艺	92
5.2.2 JBS 二极管的流片结果	96
5.2.3 PiN 二极管的流片结果	99
5.2.4 缺陷对器件性能的影响	100
5.3 本章小结	103
第六章 结束语	105
参考文献	107
致谢	121
作者简介	123

第一章 绪论

1.1 引言

化石能源大规模的开发利用，给人类社会带来了全球性的资源紧缺、环境污染、气候变化等诸多难题。传统的能源发展方式难以为继，未来的发展方向将是清洁能源取代化石能源。构建全球能源互联网，以清洁和绿色方式来满足全球电力需求。全球能源互联网的特点就是通过远距离、大容量的特高压输电技术、柔性直流输电技术等，将清洁能源输送到用户^[1]。清洁能源的并网接入，远距离输配电，以及电动汽车、电力机车、工业电机控制等终端消费都离不开以大功率电力电子器件为核心的电能变换装置。高性能的电力电子器件对电能变换装置的性能起决定作用。

“一代材料，一代器件，一代装备”。基于硅（Si）材料的电力电子器件是目前为止电力系统中主要的电力电子器件。随着电力电子技术的不断发展，Si基电力电子器件的结构和制备工艺已经非常成熟。但是，受Si材料物理属性的局限，其器件的各种性能无法进一步提升，尤其是耐压和电流，不得不采用串联、并联技术和复杂的电路拓扑来满足实际要求，导致装备的故障率和成本大大增加，制约了电网的发展。因此需要依靠更高性能的电力电子器件来实现电力装备性能地不断提升，满足未来电网的需求。从技术成熟度和材料属性来看，碳化硅（Silicon Carbide, SiC）是目前为止，能够满足电力系统应用的高压器件的最佳半导体材料。

表 1.1 SiC 与其他半导体材料的物理属性参数对比^{[2][3][4][5]}

物理属性	第一代		第二代		第三代	
	Si	GaAs	GaN	4H-SiC	6H-SiC	3C-SiC
带隙结构	间接	直接	直接	间接	间接	间接
禁带宽度 E_g (eV at 300K)	1.12	1.43	3.4	3.26	3.0	2.4
饱和漂移速度 v_{sat} (10^7 cm/s)	1	2	1.5~2.5	2.0	2.0	2.2
相对介电常数 ϵ_r	11.9	12.5	9.5	9.7	9.7	9.7
临界击穿电场 E_B (MV/cm)	0.3	0.4	5.0	3.0	2.5	2.1
热导率 λ (W/cm \cdot K at 300K)	1.5	0.5	1.5	4.9	4.9	4.9
电子迁移率 μ_n (cm 2 /V \cdot s@300K)	1350	8000	2000	1140	400	800
空穴迁移率 μ_p (cm 2 /V \cdot s@300K)	480	400	200	120	100	40

表 1.1 中列出了 SiC 与其他半导体材料的物理属性的对比。从表 1.1 中各种材料的物理属性参数对比中可以看出, 在第三代半导体材料的大部分材料属性都优于第一代和第二代。在第三代半导体材料中, GaN 由于衬底材料制备技术不成熟不能制备高压器件, 目前主要应用在 900V 以下的领域, 远远达不到电力系统的需求。

SiC 半导体材料的优越主要体现在:

- 1) 宽禁带。禁带宽度决定了电力电子器件的工作温度和抗辐射能力。由于 4H-SiC 半导体材料的禁带宽度比较大, 优于第一代、第二代半导体材料, 使得 SiC 基器件可以在温度比较恶劣的环境下工作, 理论上可高达 1000°C ^[6], 而 Si 基器件的工作温度最高极限值也就 245°C 。所以宽的禁带使得 SiC 材料更加适用于高温环境^{[7][8][9]}。
- 2) 高临界击穿电场。临界击穿电场是影响电力电子器件击穿电压的重要参数。SiC 半导体材料的临界击穿电场也是第一代、第二代半导体的数倍^[10], 所在相同的耐压等级下, 4H-SiC 材料制备的器件的特征通导电阻只有 Si 基器件的 $1/200\sim 1/100$, 从而可以有效地降低特征导通电阻, 减少开态功耗, 进而提高整机系统的效率。
- 3) 高热导率。已经报道的高纯的 SiC 材料热传率为 $4.9\text{ W/cm}\cdot\text{K}$, 掺杂的 SiC 材料的热传导率略低一些, 但在常温条件下仍高于 $4\text{ W/cm}\cdot\text{K}$ 。这已经比一些金属的传导率还要高(一般铜 $4.0\text{ W/cm}\cdot\text{K}$, 银 $4.1\text{ W/cm}\cdot\text{K}$)。高热导率可使电力电子器件产生的热量更容易传导到外界环境, 从而保证器件工作时的热稳定性; 同时可以简化装备的辅助散热系统, 减小整机的体积、重量以及成本。4H-SiC 材料的热导率约为 Si 热导率的 3 倍^{[11][12]}, 具有良好的散热性能。
- 4) 高电子饱和漂移速率。饱和漂移速率影响高频器件重要的材料参数之一。4H-SiC 材料的电子饱和漂移速率大于第一代半导体, 和第二代半导体相等, 使得 SiC 材料也可以制备高频器件^[13]。

1.2 SiC 材料简介

SiC 作为 IV-IV 化合物半导体材料, 有着一段很长而著名的历史。最初观察到 SiC 或者发现 Si-C 化学键的存在要追溯到 Jöns Jacob Berzelius。1823 年, 他在研究一种不知名的化合物时候, 发现其包含相同数目的 Si 原子和 C 原子。SiC 是 Si、C 体系中唯一稳定化合物^[14]。SiC 材料基本结构如图 1.1 所示。其基本结构中, 每一个 Si 原子周围有四个 C 原子, 同样, 每一个 C 原子周围也有四个 Si 原子^[15], 其晶格的基本单元为一个 C 原子和一个 Si 原子构成的 C-Si 原子对。

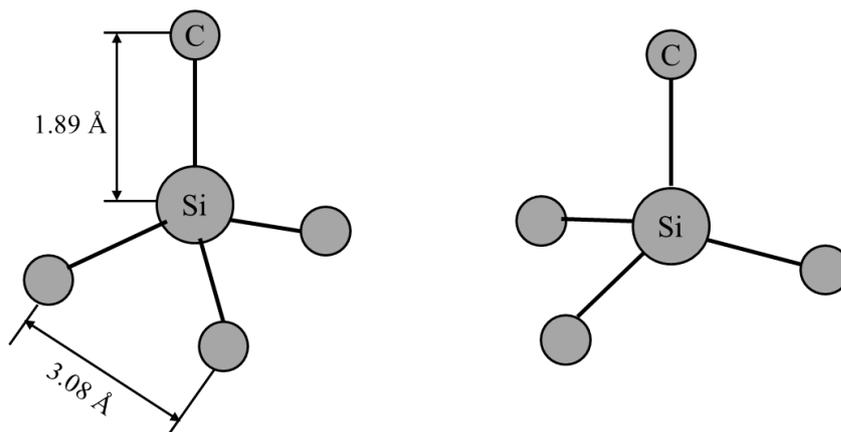
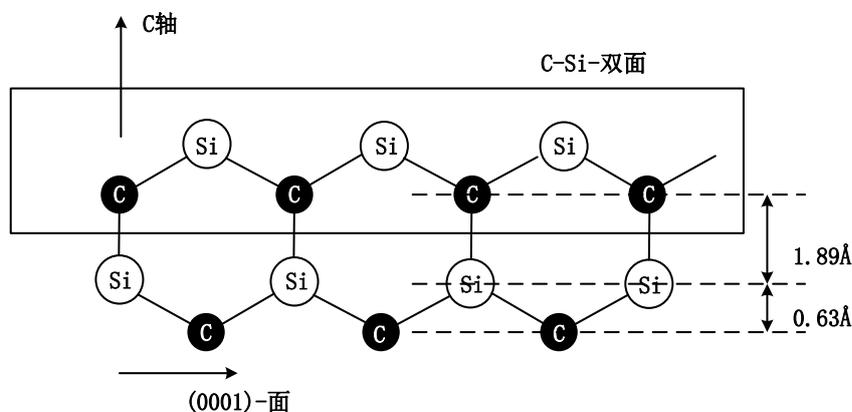


图 1.1 SiC 晶体基本结构

图 1.2 双层 C-Si 键结构^[16]

SiC 具有许多种同素异构体。其分类和命名的规则是数字+字母组合，数字表示 C-Si 双原子层堆垛的周期（如图 1.2 所示），字母表示的类型，其 C 表示立方结构，H 表示六方结构，R 表示菱方结构。六角密集是单一种类原子最密的堆积方式。不同的 SiC 同质异构体晶型对应不同的堆垛排列顺序（如图 1.3 所示^[17]）。常见的 SiC 晶型，比如 3C、2H、4H 和 6H 的堆垛顺序分别为 ABCABC、ABAB、ABAC 和 ABCACB。目前，已经观察到的异构体有 250 余种。其中，最长的重复周期有 594 个双原子层^[18]。

在 SiC 的同素异晶型中，3C 通常被称为 β -SiC。其他多型体比如：4H、6H、15R 可归为 α -SiC。虽然大多数 SiC 晶型的物理属性和硬度是基本相似的，然而由于不同的晶型存在不同的电子能带结构，使其在光学、电学特性方面存在显著的差异。在众多异构体中，能够用于制备器件的是立方结构的 3C 以及立方和六角结构相混合的 4H 和 6H。研究发现，SiC 多型体的禁带宽度与六方度有关^[19]，3C 的六方度是 0，4H 的六方度是 1/2，禁带宽度随着六方度的增加而增加。3C 虽然电子迁移率比较高，但是禁带宽度和临界击穿电场比较低，衬底材料制备也难，缺陷较多，不太适合制备功率

器件。与 6H 相比，4H 具有更高的电子、空穴迁移率以及临界击穿电场，在功率器件制备中使用最广泛。4H-SiC 由于存在极性面，一般碳面为 (000-1) 面，为衬底的背面，硅面为 (0001) 面，为正面。目前基本所有器件都在硅面上加工、制备。

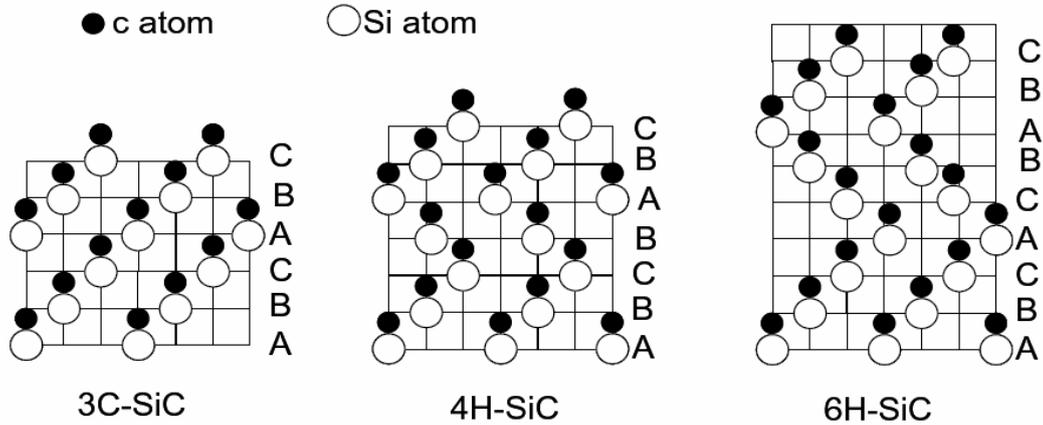


图 1.3 常见 SiC 同质异晶型的堆垛顺序示意图^[17]

1.3 SiC 材料在电网系统方面的应用

目前电力系统的大功率电力电子装置绝大多数都是采用硅电力电子器件，如 IGBT、晶闸管、GTO 等，来实现电能的控制和转换。由于现有硅电力电子器件性能的限制，实现高电压大功率电力电子装置，如 100kVA 的固体变压器、静态同步补偿器 STATCOM、电压源逆变器 VSC 等，需要用到串联均压、多电平分压等技术，将几个甚至几十个电力电子器件串联起来使用，以实现所需的耐压和电流导通水平。这将对系统的可靠性、总体损耗和工作稳定性等方面产生负面影响。因此要想从根本上提高大功率电力电子装备的可靠性和稳定性，降低系统的总体损耗，提高能源的控制转换效率，需要研究开发更高耐压、更低功耗和耐高温的新型电力电子器件，例如 SiC 电力电子器件^{[20][21][22][23]}。

电网系统对于电力电子器件的要求有别于其他应用领域，特别是在高电压、大电流和高可靠性等的特殊需求，以碳化硅 (Silicon Carbide, SiC) 为代表的第三代宽禁带半导体器件在这些方面展现出极大的综合优势。首先，SiC 电力电子器件的单个器件耐压高 (目前已经实现单个器件超过 25kV 的耐压能力^{[25][26]})、损耗低 (约为同等级硅器件的十分之一)，实现高压电力电子装置所需的串并联器件总数可大大减少，因此可以简化装置的设计，提高系统的可靠性。其次，由于 SiC 电力电子器件的高载流子迁移率、更薄的器件结构和更高的本底掺杂浓度，其工作频率可达硅电力电子器

件的 10 倍以上, 高频工作使得器件本身的能量转换损耗大幅度降低, 并且可实现传统硅电力电子器件无法实现的新型拓扑结构。此外, SiC 电力电子器件还可以在高温环境 ($>150^{\circ}\text{C}$) 下正常工作^[27], 热导率高达 $4.9\text{J}\cdot\text{Kcm}$, 甚至优于金属铜, 这将使得系统的散热设计可以大大简化甚至取消, 因此整个系统将变得更加紧凑轻量化、小型化^[28]。小型化是未来电力电子装备, 特别是城市变电设备、户用型新能源接入设备等的发展趋势。所以, 新型 SiC 电力电子器件特别适合现代及未来电网设备的需求^[29], 随着 SiC 材料质量的不断提升, SiC 电力电子器件结终端保护技术的不断提高, 单个器件的高电压承受能力不断提高, 结合其在电流导通能力、高频工作和可靠性方面的优势, 未来将可在柔性直流输电、新能源并网发电、固态变压器、静态无功补偿器等领域的电力电子变换装置中发挥巨大的作用, 提高能源的控制转换效率。

1.4 厚膜 SiC 外延材料和高压 SiC 功率器件的研究现状

1.4.1 研究意义

随着全球能源互联网的提出和发展, 能源综合利用向更智能、更高效方向发展, 输变电技术向更远距离、更大规模、更环保高效方向发展, 智能配用电向更灵活互动、更高自愈能力方向发展, 电网安全防御向更主动、更智慧方向发展。为适应未来电网形态的变化, 未来以功率器件为核心的电力电子装置容量将达到 GW 级, 单位体积能量密度可望比目前增大数百倍, 同时具有更低的成本、更小的发热量、更快的响应速度、更高的人工智能水平和较好的环境兼容性。因此未来电网对电力电子装备的核心电力电子器件提出了更高电压、更大功率、更高效率、更高可靠性及更加灵活可控的总体需求。

在电网的特殊需求中, 对功率器件的电压要求更高、电流要求更大、可靠性要求更高, 因而在 SiC 外延材料方面也要求厚度超厚的、掺杂浓度低的、缺陷密度小的外延片, 因此研究高质量超厚 SiC 外延材料是制备电网需用的高压 SiC 器件的基础, 实现承受上万伏电压的单只 SiC 器件, 将大幅度减少串联器件和辅助设备的数量, 从而大大降低电力装备的损耗、体积和成本, 提高可靠性、灵活性和适用性, 对支撑我国未来电网的发展有重要意义。

1.4.2 厚膜 SiC 外延研究状况

在厚膜 4H-SiC 材料和高压器件研究发展方面, 国外处于研发领先地位。国内由于前期没有先进厚膜外延设备, 加上没有高质量的单晶衬底材料, 无法研制超厚外延材料, 近几年在国家政策的支持下, 同时引进了国际先进的外延设备, 厚膜 4H-SiC 外延材料渐渐开始研究。但是目前国内、国外在高压领域都尚未进入应用阶段。

在 4H-SiC 单晶材料生长方面,国际上如美国 Cree(wolfspeed)、Dowcorning(2017 年被 Dupont 合并)、II-VI、Sicrystal 公司为代表的国际公司起步比较早,技术水平也处于业内领先地位,占领了全球绝大部分 SiC 衬底材料市场份额。目前,4~6 英寸 N 型 4H-SiC 衬底材料已经商业化,整个产业处于 4 英寸向 6 英寸的过渡期,随着下游器件 6 英寸线产能的扩张以及大尺寸的成本优势,6 英寸将占市场主导地位。国内在单晶方面紧跟国际步伐,国内天科合达、山东天岳也可以实现 4 英寸的大量供货,但是 6 英寸略显不足,正在扩产,以应对市场的需求。2015 年,II-VI 先进材料公司成功研制了 8 英寸 4H-SiC 单晶材料^[30]。2019 年 5 月,Cree 宣告为了应对未来市场需求将建造 8 英寸 SiC 生产线。

在 4H-SiC 同质外延生长方面,国内在薄膜外延领域技术与国外相差不大,基本都可以满足 1700V 器件以下的批量供应,但是国内在厚膜外延技术方面略差,主要表现在缺陷控制方面和不均匀性控制方面。大尺寸厚膜同质外延材料生长及缺陷控制方面成了现阶段的研究热点。国外的最大优势是外延设备发展得比较成熟,可以实现单片、多片、慢速、快速等各种设备,可以支撑厚膜外延的研发,满足各种电压等级器件的需要。Nuflare 外延设备由于高速旋转技术,不均匀性可以更好,但厂家在介绍中略有保守。

表 1.2 商用外延设备性能指标^{[31][32][33][34]}

厂家	生长速率	一炉最大产能	厚度不均匀性	浓度不均匀性
Aixtron	约 30 μ m/h	10x100mm	---	---
		8x150mm	2.4% @ 8.9 μ m	3.7% @ 1E16cm-3
LPE	约 90 μ m/h	1x100mm	0.5%-	1.5%-5%
		1x150mm	1.5% @ <40 μ m	
Nuflare	约 50 μ m/h	1x100mm	<2% @ <40 μ m	<4%
		1x150mm		
TEL	约 30 μ m/h	7x100mm	0.54% @ <40 μ m	2.82%
		3x150mm		

前面所讲高质量超厚 SiC 外延材料是制备电力系统用高压器件的核心关键材料。由于电力系统对器件的超高耐压(万伏级)的要求,单个 4H-SiC 电力电子器件也必须达到万伏级以上,这样对外延材料的厚度要求就非常厚,至少 100 μ m 的厚度以上,并且缺陷密度要控制的很低,少子寿命必须达到一定的高度。

为了实现高质量厚膜外延材料,首先要提高外延的生长速率。方法之一是氯基法,

即在反应气体里面加入 HCl 添加剂或者直接使用含 Cl 元素的前驱体^{[35][36][37][38][39]}。Si-Si 键的化学键能为 226 kJ/mol, Si-Cl 键的化学键能为 400 kJ/mol, Si-Cl 键的键能几乎是 Si-Si 的两倍, 因此 Cl 和 Si 比 Si 和 Si 更容易结合。并且 Cl 元素的存在将会抑制 Si 与 Si 的结合, 从而阻碍 Si 团簇或 Si 滴的形成, 提高外延质量。D. Crippa^[40]等人的研究显示, 在其他气体参数不变时, 添加 HCl 气体有助于抑制硅滴的形成, 同时也提高了外延生长速率。Cl 基前驱体有 TCS (SiHCl₃)、MTS (CH₃SiCl₃)、DCS (SiH₂Cl₂)、SiCl₄ 等。这些前驱体中, TCS (SiHCl₃)、MTS (CH₃SiCl₃)两种被使用得最多, 并且 TCS 已经用于商业化, 如 LPE106。2005 年, Lu^[41]基于 SiCCl₃H₃ (MTS) 反应体系做了相应的外延研究, 发现 MTS 可以使生长速率提高数十倍。2007 年, Pederson^[42]也在相同的反应体系上进一步验证了此结果。2012 年, Henry^[43]对两种体系 SiH₄+C₂H₂+HCl 和 CH₃SiCl₃ 开展了研究, 在温度大于 1500°C 下, 获得了 100 μm/h 的生长速率, 并且比较了两种体系, 得出 CH₃SiCl₃ 是一种较好的选择, 尤其是有助于改善厚度均匀性和浓度均匀性。2012 年, Milan Yazdanfar^[44]等人在 SiCl₄+C₂H₄ 工艺中, 通过加入 HCl 气体制备了 190 μm 的碳化硅外延层, 生长速率达 100 μm/h, 并通过优化在线刻蚀技术使得外延片的表面形貌良好, 粗糙度为 0.7 nm。

目前 SiC 厚膜外延研究的另一个重要课题是缺陷控制。主要关注的缺陷有三类: 形貌缺陷、深能级缺陷和结构缺陷。SiC 外延中的表面形貌缺陷一般包括: 胡萝卜缺陷(Carrot)、三角形缺陷(Triangal)、掉落物(Downfall)以及台阶聚集(Step bunching)等为目前主要关注点。因为随着外延层厚度的增大, 同时沉积在腔体内壁上的杂质也在增加, 并且随着外延的进行更加容易掉落在晶片表面, 从而诱发外延缺陷, 使得厚膜外延的缺陷控制成为一个难点。据报道^{[45][46]}, 在热壁和温壁外延炉上, 目前 10μm 的外延层典型的滴落物和三角形缺陷的总和密度可以达到 0.1-1.0 cm⁻² 的水平。H. Tsuchida^[47]采用垂直高速旋转外延中, 在 6 英寸衬底上, 实现了 10μm 外延层上仅有一个三角形缺陷。B. Thomas^[48]在 20-40μm 厚的的外延层上实现了 0.75cm⁻² 的缺陷水平。但是在尺寸和 40μm 以上厚膜外延材料的缺陷水平还未见报道。

主要关注的深能级缺陷有: Z_{1/2} (E_C 以下 0.63eV 处)^[49]和 H_{6/7} (E_C 以下 1.55eV 处)^[50]中心, 其中 Z_{1/2} 被称为少子寿命的“杀手型”缺陷, 因为它对少子寿命的影响巨大^{[51][52]}。并且研究发现 Z_{1/2} 能级形成的主要和 C 空位 (V_C) 有关^{[53][54]}。典型的原位 Z_{1/2} 缺陷浓度介于 10¹²~10¹³cm⁻³。在 SiC 高压双极器件用的厚膜外延材料中, 应控制减少该中心的密度, 增强少子寿命。目前主流的方法是采用热氧化处理^{[55][56]}和 C 离子注入并退火处理^{[57][58]}。也有人通过优化外延生长工艺条件 (如温度、C/Si 等) 来降低外延材料中 Z_{1/2} 能级的浓度。Litton^{[59][60]}通过改变 C/Si 发现, 随着 C/Si 的提高, Z_{1/2} 缺陷浓度会降低。Danno^[61]研究发现改变生长速率并不会影响 Z_{1/2} 的浓度, 升高温度会提高其浓度。

主要关注的结构缺陷包括：微管、基面位错（BPD）、螺位错（TSD）和刃位错（TED）。在 SiC 研究一开始，微管一直称为器件的“杀手”缺陷，无论高压还是低压器件。随着技术的发展，在单晶制程中，通过优化工艺（如控制 C/Si 比，选择 $(11\bar{2}0)$ 或者 $(1\bar{1}00)$ 晶面的籽晶）基本可以实现“零微管”的水平^[62]。在外延过程中，大部分（90%）基面位错（BPD）可转化为刃位错（TED）^[63]。通过特殊外延技术，如生长前的熔融 KOH 刻蚀或 H₂ 刻蚀，可增加转化率。在中低压器件应用中，目前转化率可达到 99.8%，BPD 密度接近“零”位错的水平，TSD 密度 300~1000cm⁻²，TED 密度 2000~5000cm⁻²，总的位错密度 3000~6000cm⁻²^[64]，基本满足中低压器件的应用要求。但是对高压器件用的厚膜外延材料（>40μm），尚没有相关文献报道，从定制采购来的 60μm 厚外延的检测看，BPD 密度处于 2cm⁻² 左右，与中低压材料还存在差距，还不满足高压器件的要求。

1.4.3 高压器件的研究现状及缺陷对器件性能的影响

（1）高压器件的研究现状

经过多年的研究，在高压功率器件方面，SiC MOSFET 和 IGBT 也做出很多成绩，实验样品耐压值均已经超过了 10kV。美国 Cree 公司于 2008 年开发了 10kV 的 4H-SiC MOSFET 以及 10kV 的 n-IGBT，其外延层掺杂浓度分别为 $6 \times 10^{14} \text{cm}^{-3}$ ， $3 \times 10^{14} \text{cm}^{-3}$ ，外延层厚度分别为 120μm 和 100μm^[65]。Cree 公司于 2012 年与美国标准和技术国家研究所和北卡莱罗纳州立大学 FREEDM 系统中心合作开发了 15kV 的 P 型 SiC IGBT，其 P 型外延层的掺杂浓度为 $2 \times 10^{14} \text{cm}^{-3}$ ，厚度为 140μm^[66]。2013 年，Cree 公司、美国能源部以及北卡莱罗纳州立大学合作开发出阻断电压为 20.7kV 的 4H-SiC N-IGBT，其 N 型外延层的掺杂浓度为 $2 \times 10^{14} \text{cm}^{-3}$ ，厚度达 160μm^[67]。2015 年，美国 Wolfspeed 公司（原 Cree 公司）^[68] 研究报道了 27kV 平面栅 N 沟道 IGBT 和 15kV 的 P 沟道 IGBT。2015 年 Jeffrey B 等人^[69] 报道了新一代的 10kV SiC MOSFET。2018 年，国内电科五十五所^[70] 研制了 12kV n 沟道 IGBT，该成果在国内属于首次报道。2019 年，国内半导体所^[71] 研制了 10kV n 沟道 IGBT。同年，微电子所^[72] 对 15kV 的 p 沟道 IGBT 的元胞结构进行了优化仿真研究。Kotamraju^[73] 采用新高 k 介质研制了 20kV 的 n 沟道 IGBT。

在二极管方面，碳化硅肖特基二极管样品的耐压已超过 10kV，碳化硅 PiN 二极管样品的耐压已超过 20kV。2003 年，Rutgers 大学与 United Silicon Carbide 有限公司合作，开发了具有多级结终端扩展（MJTE）结构的 10kV 的 4H-SiC SBD，其 N 型外延层掺杂浓度为 $5.6 \times 10^{14} \text{cm}^{-3}$ ，厚度为 115μm^[74]。Cree 公司于 2008 年与美国海军研究实验室、美国标准和技术研究所共同开发的 10kV 结势垒肖特基二极管（JBS），其 n 型外延层掺杂浓度为 $6 \times 10^{14} \text{cm}^{-3}$ ，厚度为 120μm，生长在 3 英寸 n 型 8° 偏轴的 (0001)

4H-SiC 衬底上^[75]。2001 年, 日本关西电力公司与 Cree 公司合作开发了 12kV 的 4H-SiC PiN 二极管和 19kV 的 4H-SiC PiN 二极管, 两种器件外延层的掺杂浓度分别为 $2 \times 10^{14} \text{cm}^{-3}$, $8 \times 10^{13} \text{cm}^{-3}$, 外延层厚度分别为 120 μm 和 200 μm ^[76]。2005 年, Cree 公司开发了 10kV 的 4H-SiC PiN 二极管, 其外延层掺杂浓度为 $2 \times 10^{14} \text{cm}^{-3}$, 厚度为 100 μm , 生长在低微管密度的 8°偏轴 (0001) 面 n 型 4H-SiC 衬底上^[77]。2012 年, 京都大学与厦门瀚天天成合作, 开发了 15kV 的 4H-SiC PiN 二极管, 其外延层掺杂浓度为 $7 \times 10^{14} \text{cm}^{-3}$, 厚度为 147 μm , 生长在 8°偏轴的 4H-SiC (0001) 衬底上^[78]。同年, 京都大学又发布了耐压高达 21.7kV 的 4H-SiC PiN 二极管, 其外延层掺杂浓度为 $2.3 \times 10^{14} \text{cm}^{-3}$, N 型外延层厚度为 186 μm ^[79]。2013 年, 京都大学发布了目前最高电压等级的碳化硅 PiN 二极管, 其阻断电压达到 26.5kV, n 型外延层的掺杂浓度为 $1 \times 10^{14} \text{cm}^{-3}$, 外延层厚度达到 270 μm ^[80]。2015 年, Naoki Kaji 等人^[81]通过结合间距调变 JTE(space-modulated JTE, SM-JTE)与双区 JTE(double zone JTE)结构, 研制出了一种击穿电压超过 26.9 kV 的 SiC PiN 二极管。2016 年 Hiroki Niwa 等人^[82]报道了一种超高压混合结构的 SiC MPS 二极管。在正向导通电流密度 50 A/cm² 时二极管导通压降为 4 V, 反向阻断电压 11.3 kV。该研究表明 MPS 同样具有优良的正向导通以及反向阻断特性, 在超高压领域具有巨大潜力。2016 年, 国内电科五十五所黄润华等人^[83]研制了 17kV PiN 二极管。2018 年, Nakayama 等人^[85]通过间距调变 JTE 和载流子注入技术, 研制了 27.5kV 的 SiC PiN 二极管, 是目前报道的击穿电压最高的 SiC 电力电子器件。2020 年, 邓等人研制了 14kV 的 SiC JBS 二极管。

根据文献资料, 典型的 10kV 以上碳化硅器件所用的外延层材料参数总结如表 1.3 下:

表 1.3 典型的 10kV 以上碳化硅器件所用的外延层材料参数总结

年份	器件形式	电压等级 /kV	掺杂浓度 / cm^{-3}	外延层厚度 μm	研发单位
2008	MOSFET	10	6×10^{14}	120	Cree ^[65]
2012	P-IGBT	15	2×10^{14}	140	Cree、美国标准和技术国家研究所、北卡莱罗纳州立大学 ^[66]
2012	N-IGBT	12.5	2×10^{14}	140	Cree、美国标准和技术国家研究所、北卡莱罗纳州立大学 ^[66]
2013	N-IGBT	20.7	2×10^{14}	160	Cree、美国能源部、北卡莱罗纳州立大学 ^[67]

2015	N-IGBT	27	2.5×10^{14}	230	Cree、美国海军研究实验室 [68]
2003	SBD	10	5.6×10^{14}	115	Rutgers 大学、United Silicon Carbide 有限公司[74]
2008	JBS	10	6×10^{14}	120	Cree、美国海军研究实验 室、美国标准和技术研究所 [75]
2001	PiN	12	2×10^{14}	120	日本关西电力公司、Cree 公 司[76]
2001	PiN	19	8×10^{13}	200	日本关西电力公司、Cree 公 司[76]
2005	PiN	10	2×10^{14}	100	Cree[77]
2012	PiN	15	7×10^{14}	147	京都大学[78]
2012	PiN	21.7	2.3×10^{14}	186	京都大学[79]
2013	PiN	26.9	1×10^{14}	270	京都大学[80]
2018	PiN	27.5	2×10^{14}	239	日本先进工业技术研究院[85]

(2) 缺陷对器件性能的影响

如前面所述，主要关注的缺陷有三类：形貌缺陷、深能级缺陷和结构缺陷。外延中产生的形貌缺陷如三角形、胡萝卜、滴落物，一般会导致器件漏电流的增加和反向耐压的降低，直接影响器件制造的合格率，使得加工成本显著增加。T. Okada^[86]和 Q. Wahab^[87]等人研究发现，胡萝卜缺陷主要对器件的反向漏电有影响。T. Kato^[88]研究表明外延表面的台阶聚集会使 SiC 二极管器件的反向漏电流增大。Kimoto^[89]研究发现三角形缺陷会严重影响器件的耐压，使器件提前击穿。Matsunami^[90]发现三角形缺陷的产生的主要原因可能是由于大的台阶宽度所致，因为其容易形成二维成核生长，对台阶流生长不利。Li^[91]发现高 C/Si 比和低 Cl/Si 比都会促使三角形缺陷的生产。滴落物会降低也会使器件提前击穿，使器件失效^[64]。同时，由于器件成品率和缺陷密度、器件面积成一定关系^[92]：

$$Y = \exp(-DA) \quad (1-1)$$

式中, Y 、 D 和 A 分别是器件成品率、器件缺陷密度和器件面积。缺陷密度越大, 器件面积越大, 器件的成品率越低。大功率高压器件一般要求大电流, 此时对器件的面积要求比较大, 在此情况下要提高成品率就必须努力降低缺陷密度。

深能级缺陷, 尤其是 $Z_{1/2}$ 被认为是降低 N 型 4H-SiC 外延材料中少子寿命的主要因素。一般的原生 $Z_{1/2}$ 缺陷浓度介于 $10^{12} \sim 10^{13} \text{cm}^{-3}$ 之间。这个浓度对单极型器件来说是可以接受的; 但是对于双极型器件来说, 并不能满足, 尤其是超高压器件, 因为 $Z_{1/2}$ 会降低少数载流子寿命, 影响双极型器件的电导调制水平, 使得正向压降、开态功耗随之增加。Klein^[93] 研究发现, 当少子寿命增加时, $Z_{1/2}$ 缺陷中心浓度降低了。据研究报道^{[94][95]}, 高压器件 ($>10\text{kV}$) 的导通电阻可以通过降低深能级缺陷提高少子寿命来降低。

在结构缺陷中, 最为关注的基面位错, 因为在载流子注入过程中, 基面位错 (BPD) 会成为堆垛层错的起源, 造成 SiC 双极型器件的正向电压增加, 影响可靠性, 即所谓的“双极退化”现象^[96]。单极型器件由于没有载流子输入, 不存在这种现象, 但是会使金属氧化物半导体场效应晶体管 (MOSFET)、结型场效应晶体管 (JFET) 的体二极管退化^[64]。外延生长过程中形成的原生堆垛层错 (SF) 会使器件漏电流增加、反向耐压降低^[97]。Hassan^[98] 发现 TED 和 TSD 也会降低少子寿命。Fujiwara^[99] 研究发现贯穿性位错对 SBD、JBS 和 PiN 都会使漏电流增大, 但是对 PiN 的影响较弱。M. Na^[100] 研究了扩展位错对 3.3kV SBD 的影响, 发现有源区含有扩展位错时, 器件的漏电流会增大 3 个数量级。表 1.4 汇总了外延层中的缺陷对电力电子器件性能的影响。

表 1.4 缺陷对器件性能及可靠性的影响^[64]

Defect	SBD	MOSFET,JFET	PiN,BJT,Thyristor,IGBT
TSD	增大漏电流	无	导致局部少子寿命降低
TED	增大漏电流	无	导致局部少子寿命降低
BPD	增大漏电流	引发体二极管退化	双极退化 Bipolar degradation (导通电阻和漏电流增大)
原生 SF	V_B 降低 (20-50%)	V_B 降低 (20-50%)	V_B 降低 (20-50%)
胡萝卜, 三角形	V_B 降低 (30-70%)	V_B 降低 (30-70%)	V_B 降低 (30-70%)
滴落物	V_B 降低 (50-90%)	V_B 降低 (50-90%)	V_B 降低 (50-90%)
深能级	无	无	导致少子寿命降低

1.4.4 存在的问题

SiC 厚膜外延是 SiC 高压功率器件研制的基础。因为几乎所有的功率器件都是在

SiC 外延材料上进行制作。经过近 30 年的发展, SiC 外延生长技术已经取得了很大的进步, 初步满足了中、低压 4H-SiC 电力电子器件的需求。然而结合国际研究结果看 10kV 以上的高压碳化硅电力电子器件普遍采用了外延技术生长的材料结构, 所需的外延层材料掺杂浓度需要在 $1 \times 10^{15} \text{cm}^{-3}$ 数量级以内, 最低已达到 $2 \times 10^{14} \text{cm}^{-3}$ 的水平, 外延层厚度需要达到 $100 \mu\text{m}$ 以上, 最高已达到 $270 \mu\text{m}$ 的厚度; 耐压等级越高的器件, 其外延层材料所需的掺杂浓度越低, 外延层厚度越高, 对外延层低缺陷的要求也越高。因此, 针对电力系统领域的 SiC 高压功率器件用的厚膜外延材料制备还有许多技术问题亟需解决, 具体表现在:

1. 大尺寸厚膜外延生长中的形貌缺陷

如前面所述, 外延层中形貌缺陷(如三角形缺陷、滴落物、胡萝卜缺陷等)不但影响高压器件的性能, 使发现反向击穿耐压降低可达 50%, 而且还影响器件的成品率。对于厚膜 SiC 外延生长来说, 由于需求的厚度较厚, 在生长过程中同时沉积在腔体内壁的沉积物也会越厚, 这样在生长过程中从腔体内壁掉入表面的颗粒物的几率也会增大, 而且其掉落物还称为成核点从而诱导出三角形缺陷等, 使得厚膜外延的形貌缺陷密度越来越大; 再者, SiC 外延中的缺陷大小尺寸和外延层的厚度存在一定的正比关系, $L=d/\tan\theta$ (L 为缺陷特征尺寸, d 为外延层的厚度, θ 为晶面偏角)。随着厚度的增加, 其缺陷的尺寸也越大, 对于 $200 \mu\text{m}$ 厚度的外延层来说, 其表面三角形缺陷的特征尺寸可达 $2860 \mu\text{m}$ 。如此缺陷密度高的尺寸大的 SiC 外延层对研制高压器件来说是非常不利的, 所以如何通过改进工艺实现镜面表面、低缺陷的厚膜 SiC 外延材料是制备高压 SiC 功率器件的关键。

2. 厚膜 SiC 外延材料的少子寿命

万伏级高压器件的类型主要采用双极型, 其开态特性很大程度上取决于电导调制效应。器件在正向导通时漂移区内载流子电导调制效应的强弱以及载流子浓度的分布不仅对器件的正向导通压降而且对其关断损耗具有决定性的影响。然而, 由于 SiC 材料存在深能级缺陷, 使得少子寿命过低, 因此在一定的材料掺杂浓度下, 漂移区内双极载流子的电导调制效应弱, 从而使得器件正向压降和损耗增大。目前商业中一般碳化硅外延材料的原生少子寿命约为 $1 \sim 2 \mu\text{s}$ ^[64]。要获得理想的正向特性, 少子寿命至少要大于 $5 \mu\text{s}$ 。开展探索制约厚膜 SiC 外延材料少子寿命的因素和增强少子寿命的后处理技术, 对高压 SiC 器件研制来说也是非常必要的, 目前国内研究还不足, 尤其是超厚 ($>100 \mu\text{m}$) SiC 外延材料。

3. 大尺寸厚膜外延材料的均匀性

相对小尺寸来说, 大尺寸的 SiC 外延材料对外延设备腔体的温场设计、流场设计更为苛刻, 要求温度场、气流分布更加均匀。同时, 由于在气流方向上, 生长源和掺杂源存在耗尽现象(即沿着的气流方向, 生长源和掺杂源的浓度越来越小), 其决定

了生长速率和掺杂浓度沿着外延片径向的分布,极大地影响了厚度和浓度均匀性。所以如何获得最佳的温度场、气流场,优化工艺参数比如支撑盘转速是实现高均匀性大尺寸厚膜外延材料的关键。

4. 厚膜 SiC 外延缺陷对器件性能的影响

在前人的研究中,缺陷对器件性能的影响还主要集中在低中压器件领域;在高压领域,该方面的研究还比较少。如前所分析,在厚膜外延层中,缺陷更多,尺寸更大。在此情况下,缺陷对器件性能的影响严重程度是否低中压器件是一致的还是需要进一步确认。同时,由于该内容属于产业链内的交叉环节,开展深入的研究对外延生长端和器件制备端,有非常重要的指导意义。所以在研究厚膜 SiC 外延生长后,结合器件验证流片,分析不同缺陷对器件各种性能的影响程度,每种缺陷的限度,然后归纳分类。反过来指导外延,进行针对性的控制影响严重程度大的缺陷,提高器件的合格率,降低器件成本。

1.5 本文主要工作

本论文的研究工作是在国家重点研发计划项目“高压大功率 SiC 材料、器件及其在电力电子变压器中的示范应用”、国家电网科技项目“超厚碳化硅外延平台关键设备及工艺研究”、“碳化硅外延平台关键设备及工艺研究”、“用于碳化硅二极管的 p 型外延技术研究”等项目的资助下完成的。本文主要围绕高压器件用厚膜 SiC 外延材料的需求,开展了 SiC 外延生长技术、表征技术、大尺寸厚膜 SiC 外延的关键技术及其器件验证等方面进行了研究,具体如下:

1. 研究了 SiC 同质外延的生长机理。针对电力系统用高压器件的需求,研究了快速外延生长技术。同时,为了评价外延材料的质量,研究了外延层厚度、掺杂浓度、缺陷、少数载流子寿命的表征方法。
2. 研究了 6 英寸厚膜 SiC 外延生长关键技术。主要开展了快速外延生长技术研究;生长速率对表面形貌的影响;生长温度对硅滴的影响;提出并研究了周期性外延生长技术,实现了低缺陷厚膜外延生长;优化了气体流场,实现了高均匀性外延材料的生长;分析了影响厚膜外延材料少子寿命的因素,并对增强少子寿命的手段进行了初步探索。
3. 开展了 p 型外延技术研究。研究了 p 型外延的掺杂浓度控制、外延缺陷转化机理、控制技术等方面内容。
4. 为了验证所研制厚膜外延材料的质量,通过高压 4H-SiC 二极管器件的流片进行了验证,同时研究了表面形貌缺陷对高压 SiC 二极管特性的影响,并通过 PiN 二极管验证了少子寿命提升对正向电压的影响。

本文共分为六个章节。第一章主要介绍了 SiC 材料的性质、厚膜 SiC 材料和电力系统用高压 SiC 功率器件的国内外研究现状、本论文的选题背景和主要工作内容；第二章对 SiC 同质外延材料的生长机理、外延设备包括快速外延设备及相关材料参数的表征方法进行了阐述；第三章对大尺寸厚膜 SiC 外延生长的关键技术进行了深入研究；第四章对 p 型外延生长技术进行了研究，包括 p 型外延掺杂机理、浓度控制、缺陷演变等内容；第五章对所生长外延材料进行流片验证，并研究了表面形貌缺陷对高压二极管器件的电学特性以及合格率的影响。第六章节为研究内容的总结及未来工作计划。

第二章 SiC 外延生长技术及表征方法

2.1 4H-SiC 同质外延生长机理

不同类型、不同电压等级的 4H-SiC 功率器件对材料的掺杂和漂移层的厚度要求不同，因此最初制备出的 4H-SiC 衬底无法直接用于器件制作，必须在衬底上面继续制备一层符合掺杂浓度、漂移层厚度、晶体质量等要求的外延层，即同质外延，目前主要采用的工艺方法是化学气相沉积法（Chemical Vapour Deposition, CVD）。化学气相沉积之所以广受青睐和欢迎，主要是因为它有独特的优势，体现在以下几个方面：（1）是一种气相化学反应，可通过精确地控制气体的流量来精确控制外延膜的厚度、组分以及掺杂类型；（2）可在大尺寸的衬底上得到高均匀性的外延膜，适合于工业化生产；（3）灵活的气体源路控制技术使得生长过程可自动控制，增加工艺重复性，提高外延的一致性。

2.1.1 CVD 的基本原理

CVD 就是借助气相化学反应在衬底表面沉积（或生长）固态薄膜的工艺技术。化学气相沉积的源可以是气态的，也可以是固态，也可以是液态的。利用化学气相沉积法可以控制薄膜的组分及掺杂类型，可用来制备半导体、金属、氧化物和绝缘体等各种性质的薄膜。

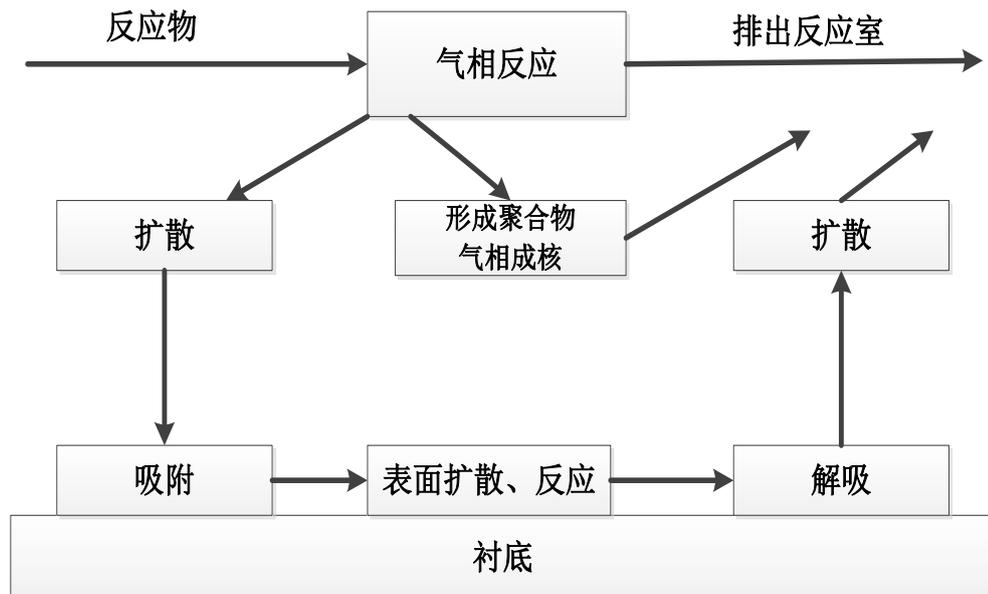


图 2.1 CVD 基本原理和反应过程示意图^[10]

CVD 的基本原理主要在于两个过程，即气体到晶圆和气体离开晶圆的传输过程，

以及发生在晶圆上的和在气体传输过程中的化学反应。图 2.1 为 CVD 基本原理和反应过程示意图^[101]。从图中可以看出，化学气相淀积主要涉及以下步骤：

(1) 反应物输送到衬底表面。一定量的反应气体在一定的压力下被输送到反应室中，由于反应室有一定的温度、压力，促使反应气体发生分解、化学反应，形成中间化合物，其中一部分中间化合物以扩散的方式到达衬底表面。还有一部分中间化合物或未分解的反应气体被排出反应室。

(2) 达到衬底表面那部分中间化合物被吸附。

(3) 被吸附的反应物继续在衬底表面扩散并继续发生化学反应，其中一部分并入晶格形成外延层。

(4) 其中还有一部分从衬底表面解吸附，没有并入外延层，再扩散回到气流中，最后被直接排带出反应室。

SiC CVD 的气态反应比较复杂，如图 2.2 所示。一般采用的源气是硅烷 SiH_4 和乙烯 C_2H_4 或丙烷 C_3H_8 ，为了提高生长速率也会选择氯基气体，比如三氯氢硅 TCS，载气是氢气 H_2 。N 型掺杂剂一般选择氮气，P 型掺杂剂一般选择三甲基铝 TMA。为了在反应前更好对衬底进行处理也增加了氯化氢。

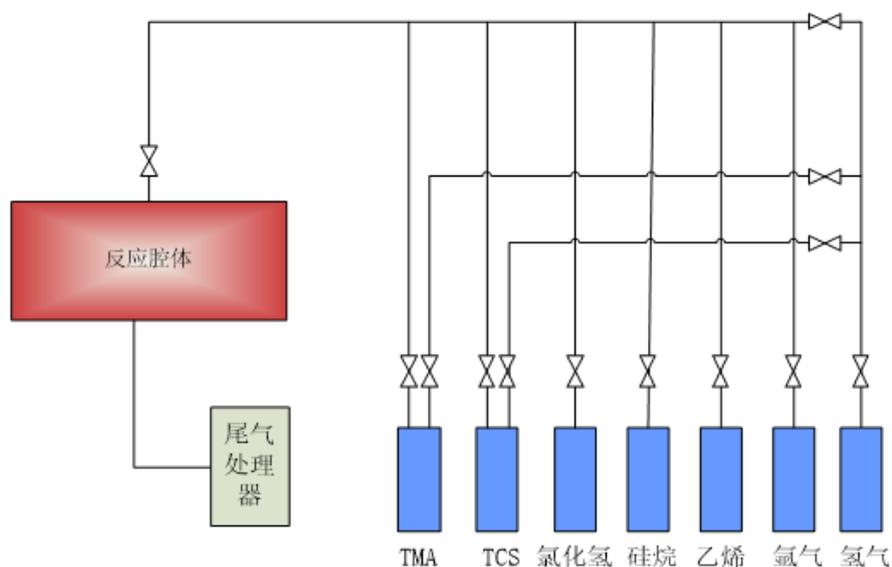


图 2.2 SiC CVD 基本系统示意图

2.1.2 SiC 外延台阶流控制生长方法

早期在 SiC 外延生长主要是在零偏角的衬底表面上进行，主要通过衬底表面上的 2D 成核来生长，但是经常会出现 3C 多型，大大的影响了外延结晶质量，如图 2.3(a) 所示。这主要是因为 4H 晶型基面的晶体结构和 3C 晶型的 (111) 的晶体结构相似，

还有从热力学方面来说讲 3C 晶型更容易形成^[102]。研究早期，在 4H 外延生长中，为了稳定地控制 4H 晶型，避免其他晶型（3C 等）的出现，研究人员需要反应室的生长温度提高到 1800°C 以上。但是这种高温生长环境会造成诸如以下的问题：生长环境引入的污染，掺杂杂质扩散造成再分布和高温造成的外延层损伤。1997 年，Matusunami 和 Kimoto 发明了台阶控制（Step-controlled epitaxy）生长方法^{[103][104]}。这项技术的出现给 SiC 同质外延领域带来了巨大的突破。在降低 300°C 左右的外延温度下，可以实现满足器件质量的同质外延生长。同时能够避免反应腔壁的污染，减少不必要的掺杂扩散。

通过采用台阶控制生长方法，可以大大降低外延材料的生长温度，同时可以为吸附的原子提供特殊的成核位置，从而保障了衬底晶型的一致性。在台阶控制生长方法中，具体的措施是采用的是与 (0001) 面有一定偏角的衬底。曾有人在偏向 $\langle 1\bar{1}00 \rangle$ 方向上进行外延发现经常出现台阶聚集引起的带状缺陷，所以目前主流技术是偏 4 度为主，偏向 $\langle 11\bar{2}0 \rangle$ 。

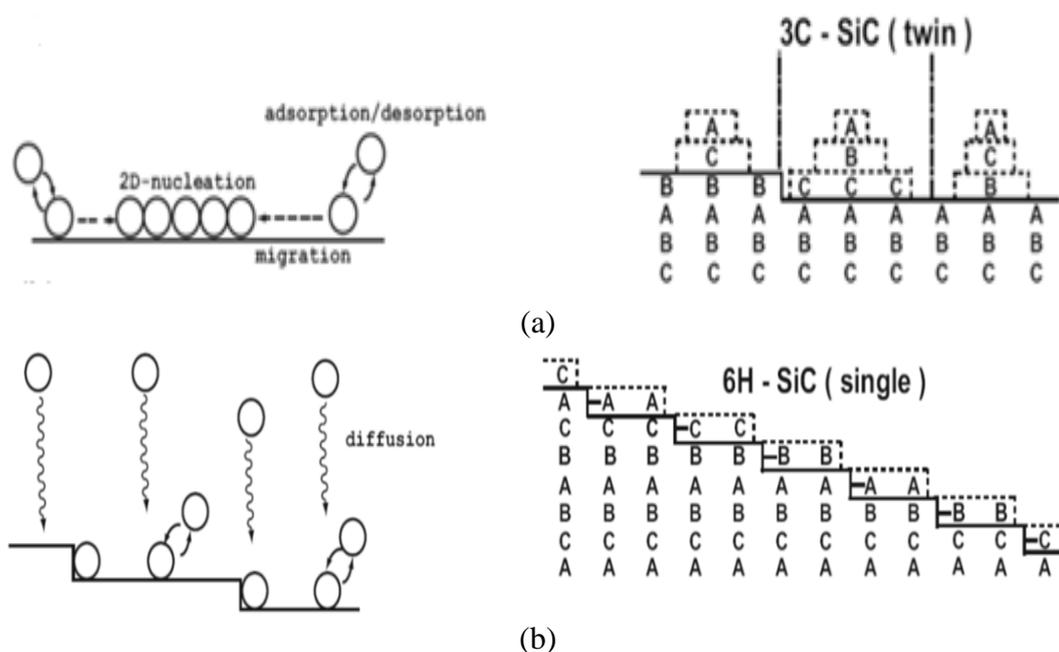


图 2.3 (a) 3C-SiC 二维生长 (b) 6H-SiC 同质外延的台阶流控制生长

在 SiC CVD 反应过程中，衬底吸附硅原子或碳原子成分后，吸附成分在衬底表面迁移并且会优先在势能比较低的台阶处与衬底结合成核。但是，也存在一些吸附的原子或分子还没有迁移到台阶处就在台面上成核。前者为台阶流生长，后者为台面二维岛状成核生长。当吸附的原子或分子的数量超过能够全部迁移到台阶处的数量时，就会出现台面成核，因而就存在一个实现台阶流生长的临界吸附原子或分子数或者称为临界过饱和度，也就存在一个实现台阶流生长的临界生长速率。这个临界生长速率

与生长温度、台面宽度或者偏角、吸附的原子或分子的扩散能力有关,所以存在一种与台阶成核相互竞争的台面成核过程,台面成核通常发生在前驱体原子饱和程度足够高的时候。表面原子饱和度很高时,晶体生长就有可能以二维成核的方式发生在台面上。而外延层的晶型控制主要由生长温度条件决定。这就容易导致低温下更稳定的3C-SiC的形成。以6H-SiC为例,其堆垛顺序为ABCACB.....3C-SiC有两种可能的堆垛顺序(ABCACB.....或ACBACB.....),如图2.3(a)所示。在一定偏角的衬底上,台阶密度很高,台面宽度足够窄,吸附原子就比较容易的到达台阶处。在台阶处,成核位置由台阶处的键所决定,如图2.3(b)所示。因此,通过台阶的横向生长,外延层可以很好的继承衬底的堆垛顺序,从而实现6H-SiC的同质外延,这就是台阶流控制生长方法。Powell等人^[105]研究了偏角和表面处理对于外延层晶型的影响。他们发现即使衬底偏角为 0.2° 也有可能实现6H-SiC同质外延,并且3C-SiC成核出现在表面缺陷位置。这个结果说明了台阶流生长对于SiC同质外延的重要性。这种生长技术可以利用到其他SiC晶型如15R-SiC、21R-SiC,尤其是对应用于功率器件的4H-SiC的生长起到了非常关键的作用,从此以后4H-SiC外延生长研究都是基于该生长方法下进行的。

2.1.3 快速外延生长技术

电网领域主要为高压、大功率,需要超高电压的功率器件,这就需要厚膜外延材料。一般对于阻断电压大于10 kV的器件,需要的外延层厚度大于 $100\ \mu\text{m}$ 。对于这样的厚膜外延层,使用传统的 $\text{H}_2\text{-C}_2\text{H}_4\text{-SiH}_4$ 气体系统的生长技术,其生长速率一般只有 $6\text{-}8\ \mu\text{m/h}$,所需要的生长时间就需要十多个小时,并且长时间的生长,也会带来各种成本的提升,这些都无法满足高压功率器件的需要。早期科学家^{[106][107]}通过增加生长气体流量来提高生长速率的方法遇到的主要问题是硅滴的形成。这些硅滴会导致生长速率饱和,并污染外延层表面,导致巨大的表面缺陷,使表面质量严重下降。解决这个问题,除了利用前面提到的低压法,另外一种被广泛使用的方法是氯基法,即在反应气体里面加入HCl添加剂或者直接使用含Cl元素的前驱体,^{[108][109][110][111][112]}比如使用HCl、甲基三氯硅烷(methyltrichlorosilane, CH_3SiCl_3 , MTS)、三氯氢硅(trichlorosilane, TCS)、 SiCl_4 等,并且TCS已经用于商业化。F. La Via^[113]等人对添加HCl和使用TCS做了系统的研究,在其他气体参数不变时,添加HCl气体或使用TCS有助于抑制硅滴的形成,同时也提高了外延生长速率。如图2.4所示,红色、黑色和蓝色曲线分别是添加、不添加HCl和使用TCS所得到的生长速率与 Si/H_2 的关系,没有添加HCl时,当 Si/H_2 达到0.05%,就已经有硅滴的存在;添加HCl后或使用TCS后,硅滴得到抑制,从而可以在不产生硅滴污染的情况下,进一步将生长速率提高。这是由于Si-Si键的化学键能为 $226\ \text{kJ/mol}$, Si-Cl键的化学键能为 $400\ \text{kJ/mol}$, Si-Cl

键的键能几乎是 Si-Si 的两倍，因此 Cl 和 Si 比 Si 和 Si 更容易结合。所以，在反应气体中加入 HCl 添加剂或使用含 Cl 的前驱体，Cl 元素的存在可以抑制 Si 与 Si 的结合，从而阻碍 Si 团簇或 Si 滴的形成。同时还发现使用 TCS 对降低缺陷更有效，对制备大电流大面积芯片来说是非常好的选择。

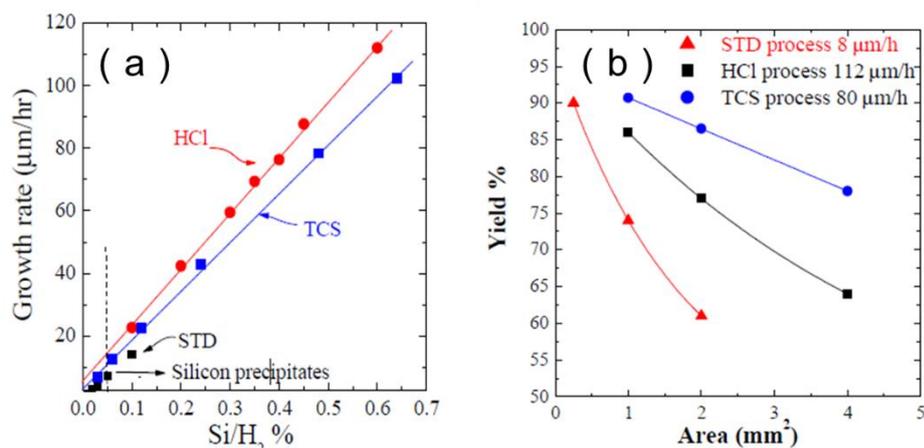


图 2.4 生长速率与 Si/H_2 的关系 (a)，不同系统下对器件合格率的影响 (b)

为了研究电网系统用厚膜外延材料，本研究主要采用基于 TCS 反应气体的快速外延生长系统地开展工作。

2.1.4 外延的主要工艺参数

在同质外延理论和化学气相沉积方法的基础上，加强对工艺流程的理解，主要是工艺参数对外延生长影响的研究。对于外延生长来讲，每一个生长参数都对外延层质量和生长速率有重要的影响。一般来讲，对于轴向衬底和偏轴衬底，生长参数发挥的作用应该是类似的。但是仍然要根据不同的衬底极性和偏轴角度来调整每一个生长参数。

(1) 生长压力

生长压力一般都保持一个固定的值来确保生长腔体内气体分布的均匀性。生长表面上方的平衡蒸汽压依赖于生长压力，因为每一种气相物质都是生长压力的一个分压。另外，当生长压力越低，生长表面上方的气相物质流速就越大。就会使各类气相物质吸附在表面的概率降低。最佳的生长压力的选择还要依赖于载气流速。选定合适的气体流速才能在生长基座上方形成一个稳定的均匀生长区域。流速过低（生长压力大）会造成前驱体浓度急剧耗尽，最终导致厚度不均匀性严重。相反的，如果气体流速过大（生长压力小）会导致基座气流上游方向过度冷却，前驱体裂解不充分的同时氢气对衬底的刻蚀作用也会加强。生长压力还会对生长表面上方存在的滞留层产生影响，较低的压力是气体物质更容易扩散穿过滞留层，但是刻蚀作用是降低生长压力所带来的一个非常严重的副作用。

(2) 生长温度

在 CVD 的生长模型中, 生长温度对其热力学和动力学有重要的影响。例如有研究发现, 在轴向 4H-SiC 衬底外延时, 在 1650 °C 就会产生大量的 3C-SiC 覆盖在 4H-SiC 岛状和台阶上, 而在 1680 °C 时, 外延层就获得 100% 的 4H-SiC。较高的温度为生长表面的吸附原子提供了更高的扩散能量, 因此生长温度对 SiC 外延的生长机制和多型稳定性有重要影响。除了对轴向 4H-SiC 衬底有影响外, 在对 4° 偏轴的 4H-SiC 衬底进行外延发现, 生长温度还能够有效地控制阶梯聚集簇的形成。较高的温度下, 外延层表面形成阶梯聚集簇的可能性大大提高。研究结果显示, 在 1520 °C 获得的外延层表面较为光滑但存在较多的三角形缺陷。当生长温度提高到 1550 °C, 三角形缺陷数量减少但表面粗糙度增加。在较高温度下进行外延, 在不出现 3C 多型的前提下, C/Si 比的可变范围更大。2019 年的研究发现^[14], 升高温度会抑制 BPD 的转化。

(3) 升温条件

在升温至生长温度的过程中, 通常对衬底进行原位处理。在升温阶段, 为了能够获得更加合适的生长表面, 常在载气中加入一定流量的其他气体。研究显示在轴向衬底外延时, 升温过程中在氢气载气中加入硅烷气体有利于获得光滑的衬底表面。尽管如此, 在偏轴衬底外延时, 硅烷就可能会形成硅滴, 影响外延质量。这时, 在升温过程中通入乙烯就可以避免硅滴的形成。HCl 的加入对去除硅滴更加有效, 但同时会引起对衬底刻蚀的问题。

(4) Si/H₂ 比

Si/H₂ 比是对生长速率影响最大的生长参数。研究表面, 在轴向 4H-SiC 衬底外延生长时, 当 Si/H₂ 比从 0.06% 提高到 0.2%, 生长速率就会从 12 μm/h 提升至 20 μm/h。

(5) C/Si 比

C/Si 比会对外延层的生长速率, 表面形貌和掺杂浓度产生影响^[15]。位置竞争理论的提出, 很好地解释了 C/Si 比对掺杂浓度的影响。位置竞争理论表明, 提高 C/Si 比能够降低 N 原子代替 C 位置的几率, 也就是说, n 型掺杂浓度随着 C/Si 的增加而降低。

(6) Cl/Si

为了开发适合厚膜外延需要的快速工艺, 引入了 Cl 基气氛, 如三氯氢硅(TCS), 从而使得生长速率从 6 μm/h 左右提升到了 90 μm/h。Cl 原子的引入不但可以提高生长速率, 而且由于 Cl 与 Si 较强的结合能可以抑制 Si 团簇的形成, 从而改善表面形貌。

2.2 4H-SiC 快速外延 CVD 设备

2.2.1 SiC 快速水平 CVD 外延设备

在本研究中，我们所使用的外延生长设备为 LPE 公司所生产的水平热壁 PE106 型号，如图 2.5 所示。PE106 是目前世界上先进的、成熟的 SiC 外延生长设备之一。其腔体温度场如图 2.6 所示。其标准配备有：反应装置、气体供应系统、低频感应加热系统、控制单元及软件、石英及石墨部分及批量上料台。反应装置包含：加热源、腔体、支撑盘、气体管道、控制系统、水冷机、机械泵、分子泵、传送手臂及尾气处理器。由于采用了自动传送装置可以在 800 度的高温下卸载晶片，可以大大缩短生长周期降低成本；其次采用了先进的 TCS 系统可以大大提高生长速率，为生长厚膜外延提供了基础。

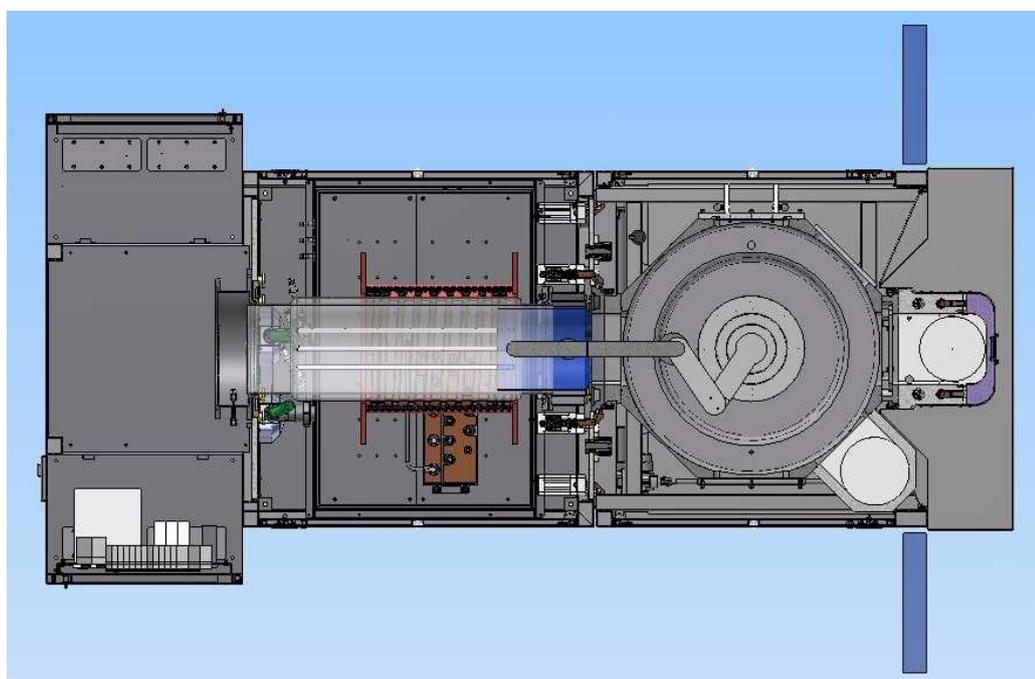


图 2.5 PE106 碳化硅 CVD 外延设备

PE106 外延设备一次能够生长 1 片 4 英寸或者 1 片 6 英寸的 SiC 外延片。反应腔体是一个由外面 RF 线圈环绕的石英管，中间为绝热保温层，保温层内有石墨基座。石墨基座表面有 TaC 涂层，以防止高温环境下石墨中杂质逸出。

为了实现提高生长速率，该系统反应源气体为 TCS 和丙烷，N 型掺杂源为高纯氮气，P 型掺杂源为三甲基铝（TMA），高纯氢气为载气，高纯氩气为保护气体，其中 TCS 为液态源，需要通过鼓泡装置进行输送。同时为了缩短生长周期，采用机械手臂传输晶片。

尾气处理系统主要是对反应中剩余的硅烷、丙烷、中间反应物以及氢气等易燃易

爆等进行燃烧，以防止产生危险或有毒物质的排放对环境的造成污染。

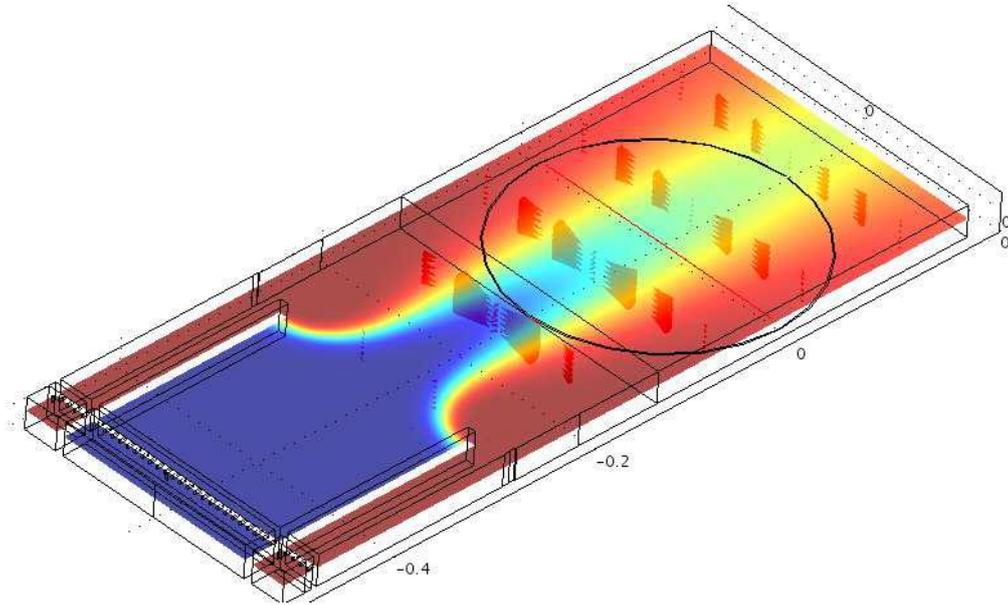


图 2.6 PE106 外延生长区温度场分布

2.2.2 SiC 快速垂直 CVD 外延设备

目前市面上还有一种快速外延炉如图 2.7，其特征在于通过基座高速旋转（达 1000rpm），减小滞留边界层的厚度，以达到快速生长的目的。

$$Gr \propto \frac{P_x - P_e}{RT} \cdot \frac{D}{\delta} \quad (2-1)$$

$$\delta \propto \sqrt{\frac{\mu}{U\rho}} \quad (2-2)$$

Gr 为生长速率， P_x 为滞留边界层外面反应气体的分压， P_e 为晶片表面的平衡气压， R 为气体常数， T 为生长温度， D 为气体分子的扩散系数， δ 滞留边界层的厚度， U 为气流速率， μ 为粘度， ρ 为气体密度^[116]。在一定温度、压强、气流流速时， P_e 、 D 、 ρ 、 U 为常数，生长速率随着反应气体的分压线性增大。然而，当硅气体的分压变大后，容易通过气相中的同质成核形成硅团簇，限制生长速率的提高。

根据式 (2-1) 和 (2-2)，在 μ 和 ρ 一定的条件下，提升 U 可以使得滞留边界层厚度变薄，提高生长速率。然而，在实际 SiC 外延生长过程中，氢气的流量已经高达 100slm，通过再提高氢气流量来实现 U 的倍增可能不太实际。同时，对于高速旋转的托盘来说， δ 还受到下面因素的影响：

$$\delta \propto \sqrt{\frac{\mu}{\omega\rho}} \quad (2-3)$$

ω 为旋转速率。因此可以提高托盘旋转速率，减小滞留边界层的厚度，来增强生长速率，如图 2.8，同时也能大大地提高均匀性。

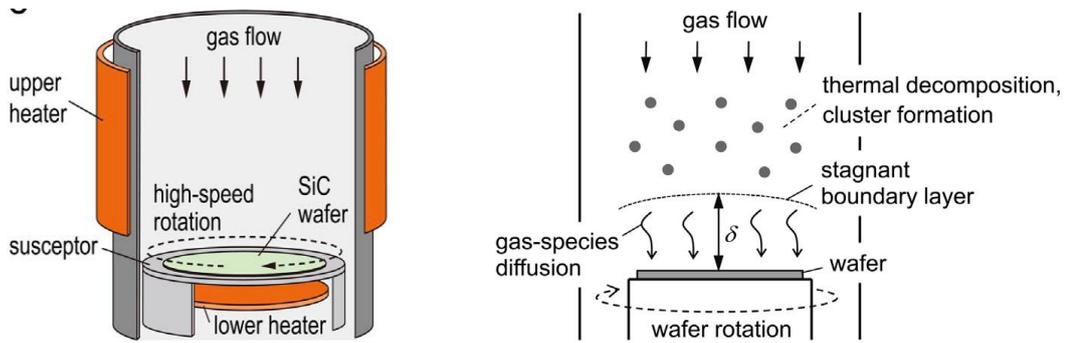


图 2.7 (a)外延炉腔体示意图和(b)气流示意图^[45]

该设备的另一个特征是：由于气流方向垂直流向晶片表面，炉壁在四周，即使有颗粒物从内壁上掉落，也只会顺着气流从支撑盘周围流过，所以可以避免在外延过程中从腔体内壁脱落的颗粒物掉在晶圆表面，减小产生缺陷的概率，从而得到高质量的碳化硅外延材料。

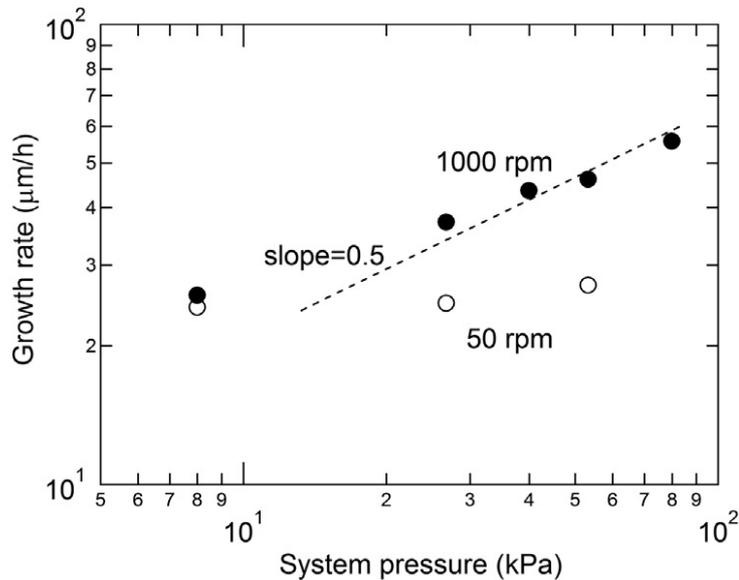


图 2.8 50rpm 和 1000rpm 下，生长速率和压强的关系^[117]

2.3 4H-SiC 外延中缺陷的形成及转化

碳化硅外延层中缺陷一般可以分为两大类：结构缺陷和形貌缺陷。其中外延中结构缺陷主要有基失面位错、扩展螺位错、层错、扩展刃位错等；形貌缺陷主要包括三角形缺陷、胡萝卜缺陷、掉落物和台阶聚集等。主要的外延缺陷的示意图如图 2.9 所示^[119]。

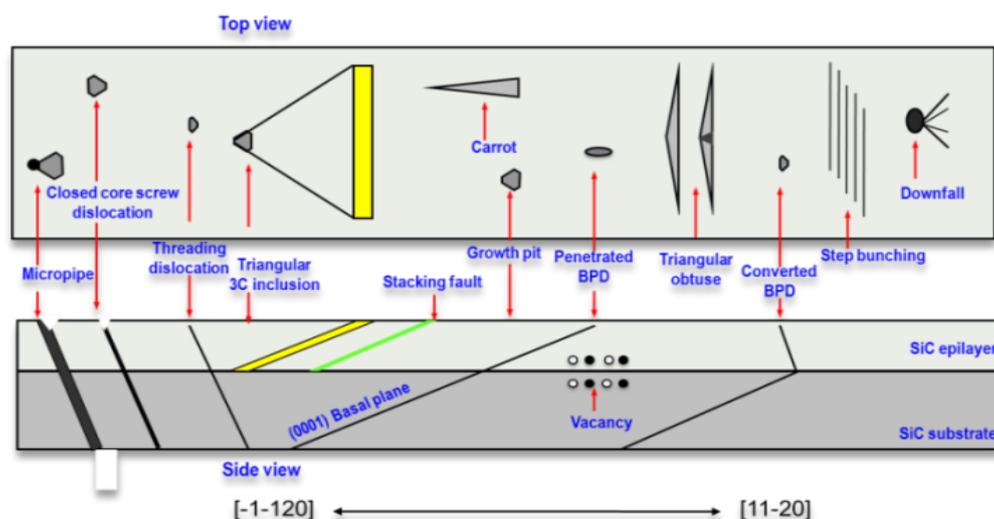


图 2.9 SiC 外延材料中主要缺陷示意图

(1) 微管 (Micropipe, MP)

对于 SiC 器件来讲，一个最主要的问题是微管缺陷，微管通常被称为“器件杀手缺陷”，会造成器件漏电流增大或过早击穿等影响^{[120][121]}。MP 的位错线位于 $[0001]$ 晶向。它的伯格斯矢量平行于位错线，它的长度等于或大于两倍的 c ，所以它有一个空核，其的直径在 $1/10 \text{ nm}$ - $1/10 \mu\text{m}$ 之间。MP 可以沿着生长方向贯穿整个厚度的外延层。

微管的形成由 Frank 理论解释为围绕断层线的弹性应力的补偿过程。大多数微管由聚集在一起的几个螺形位错形成。生长过程中，由于超螺旋位错核心方向的高应变能密度，造成中心优先升华，所以 MP 具有空心的特征。按照 Frank 理论，螺形位错中大的伯格斯矢量会形成位错中央的空核，最终的微管成为 SiC 器件研制的严重缺陷。

外延中的微管主要是继承了衬底中的微管。在外延生长过程中，微管在衬底/外延层界面处也可以分裂成为多个闭核 TSD。如图 2.10 所示，微管 KOH 腐蚀形貌的特点为：六边形；有一层一层的台阶；腐蚀坑是空的。

目前，在外延生长过程中，通过特殊工艺^{[122][123]}，微管会逐渐闭合，分解为螺位错，对于厚膜外延材料基本可以实现零微管。

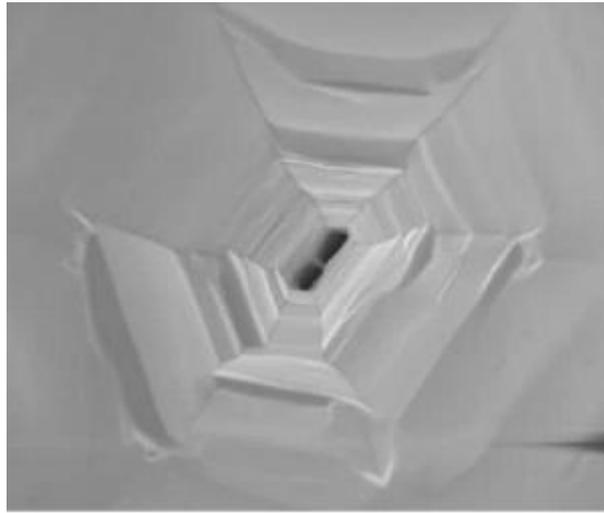


图 2.10 微管的 KOH 腐蚀形貌

(2) 基平面位错 (BPD)

基平面位错是 SiC 晶体中常见一种线位错，位于基平面内，外延中 BPD 主要来自于衬底的复制。经熔融 KOH 腐蚀后，BPD 位错腐蚀坑呈现壳形形貌，如图 2.11。基平面位错对双极器件性能有较严重的影响^{[124][125][126]}，会对 SiC 双极器件的正向压降产生影响，还会为堆垛层错 SF 的产生提供成核点，从而使 SiC 双极器件的正向电压发生漂移。由于厚膜外延材料最终大部分会用于高压双极器件，所以在控制厚膜外延材料中的 BPD 密度就非常关键。

在 SiC 的台阶控制外延过程中，通常在轴向偏移 4-8° 衬底上生长，因此衬底基平面相对于晶片表面存在一定的倾斜，这样 BPD 就可以从衬底延伸进入外延层中。外延层的生长过程中，在镜像力的作用下，70%~90%的 BPD 转化为良性的 TED^{[127][128][129]}，从衬底直接延伸至外延层的 BPD 大约只占衬底中 BPD 总数的 10%~30%^{[127][130]}，TED 对器件性能的影响远远小于 BPD，被认为是一种“良性位错”。转化形成的主要原因是遵循了满足能量最低原则，同时位错的伯格矢量也遵守了守恒定律。人们提出了两种理论来解释转化的机理：能量最小模型和生长模型。

外延层生长过程中，会发生基面位错向位错线平行于 c 轴的穿透位错的转化。转化的动力来源于位错引入的缺陷能。基面位错与穿透位错的传播方向不同，基面位错在基面上传播；而穿透位错垂直于基面进行传播。由于衬底的偏角较小，在同样的外延层厚度的情况下，基面位错延伸的长度要远大于穿透位错。基面位错与穿透位错的单位长度位错能基本相同，因而位错能的减小是基面位错发生向穿透位错转化的动力来源。

位错越靠近表面，位错引起的晶格畸变弹性能越小。因而表面附近的位错

具有向表面靠近的趋势。这种趋势表现为位错受到一个虚构的力的影响，这个虚构的力就是镜像力。在镜像力的作用下，表面附近的基面位错向表面附近弯折，并转化为穿透位错。在这个模型下，镜像力是基面位错向穿透位错转变的驱动力。

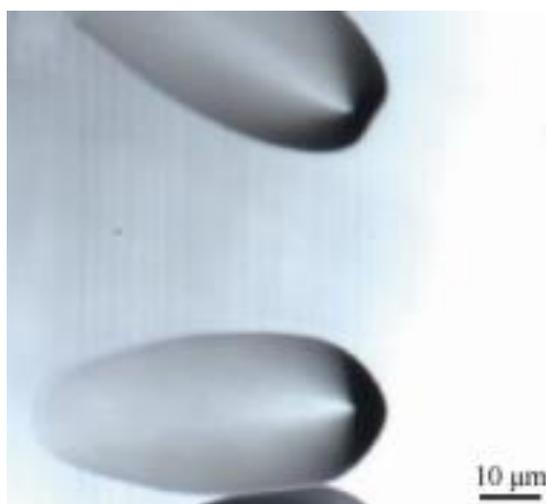


图 2.11 BPD 的腐蚀形貌

虽然通过各种方法抑制基面位错由衬底向外延层传播，但是仍有极少数基面位错能进入外延层。这些基面位错都是螺型，位错线方向平行于衬底偏角方向。由于失配应力的存在，这些位错有侧向滑移的倾向，等效为位错线受到一个切向力。同时由于位错引入的畸变能的存在，位错线越长，畸变能越大。位错有保持直线延伸的倾向，等效为位错线受到一个拉伸的力，即线张力。

外延层的厚度越大，基面位错滑移释放的应变能越大，等效为位错线受到的切向力越大；位错延长引入的畸变能与位错长度成正比，单位长度引入的畸变能不变，等效为位错线受到的线张力不变。因此，在外延层厚度较薄时，线张力的影响为主，使得基面位错沿直线延伸；外延层厚度增大到一定值之后，失配应力引入的切向力影响为主，使得基面位错在基面上产生侧向的滑移，表现为基面位错的偏转。这两种形式之间，存在一个临界转变的外延层厚度，是为临界厚度。

(3) 螺位错

螺位错 (TSD) 与 MP 相同，位错线位于 [0001] 晶向，其伯格斯矢量也平行于位错线，但是它的长度是 1 倍的 c ，和 MP 最大不同的是它闭核的。螺旋位错 TSD 能够导致器件的漏电流增大^{[131][132][133]}，因此也是许多器件结构中所关注的。

衬底中的 TSD 缺陷能够直接延伸至外延层中，另外 TSD 有时会衍生出其他外延缺陷，如胡萝卜型缺陷。如上所示，一部分 TSD 来自于外延过程中 MP 的转化。螺位错 (TSD) 的 KOH 腐蚀形貌的特点为：腐蚀坑形状为大的六角形；有六条暗的条

纹，是不同侧向腐蚀面的交接线。如图 2.12 所示，中间尺寸较大的坑即为螺位错。

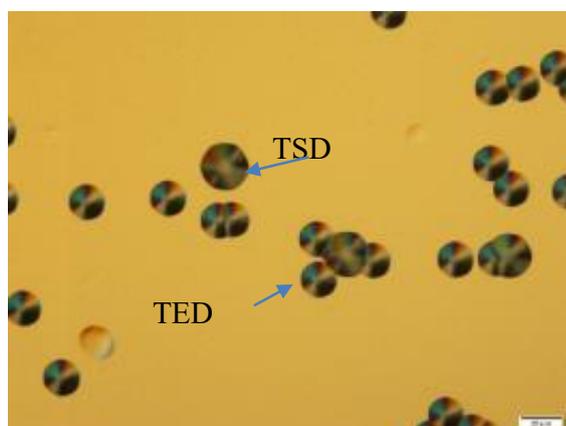


图 2.12 螺位错(TSD)和刃位错 (TED) 的 KOH 腐蚀形貌

(4) 刃位错

刃位错 (TED) 是 SiC 衬底中的另一种结构缺陷，TED 通常分散在衬底中，密度为 10^4 cm^{-2} 。和 BPD 拥有相同的 Burgers 矢量 \mathbf{a} ($\langle 11-20 \rangle / 3$)。TED 的 KOH 腐蚀坑形貌的特点为：六角形尺寸较小。TED 与 TSD 腐蚀坑如图 2.12，中间较小的坑代表的缺陷即为螺位错。他们大小的差异在于他们的伯格斯矢量的大小不同，TSD 的伯格斯矢量大于 TED 的伯格斯矢量，故其腐蚀坑的尺寸大于 TED 的尺寸，MP 的腐蚀坑尺寸最大。

衬底中的 TED 可以直接延伸到外延层中成为刃位错，外延层中还有一部分 TED 来源于衬底中 BPD 位错的转化。

(5) 堆垛层错

堆垛层错 (SF) 具有较低的能量 (4H-SiC 中约为 14 mJ/m^2) [134]，是一种二维晶面缺陷。由于正常结构中出现了错误排列而偏离了正常堆垛顺序所产生的缺陷。4H-SiC 晶体中的层错面通常为 $\{0001\}$ 晶面。

一般起因于 TSD 的结构转变。一般衬底中的层错也会贯穿到外延层。在高的正向工作电流下，会为堆垛层错提供成核点，最终使 PiN 二极管的正向电压稳定性、可靠性变差 [135]。

(6) 三角形缺陷

三角形缺陷是功率器件的一种致命性缺陷，在反向偏压下会引起较大的反向漏电流和降低阻断电压 [146][148]。并且也会影响少子寿命 [149]。呈现三角形形状，含有两条及两条以上的边线，具有方向性，第三条边与主参考边几近成 90° ，如图 2.13。三角形头部有时有一明显的小三角形凹痕，内含 3C-SiC 晶型层。

产生的主要原因是由外来颗粒物、表面划痕或 TSD 等结晶缺陷。一般起始于外延层和衬底界面，在基平面内延伸到外延层表面，沿台阶流动方向三角形缺陷的高度

满足 $L=d/\sin(\theta)$, 其中 d 为外延层厚度, θ 为晶面偏角。所以随着外延厚度的增加, 三角形的尺度也越来越大。同时, 由于厚膜外延生长过程中, 腔体上壁累积的厚度也比较厚, 也更加容易脱落掉在表面, 进而诱发成三角形缺陷。

(7) 胡萝卜缺陷

胡萝卜缺陷也是影响功率器件的一种致命缺陷, 主要表现为对 PN 结二极管和 schottky 二极管的反向特性, 增大其反向漏电流^[146]。呈胡萝卜形状, 长条形线状缺陷, 其中一端较粗, 如图 2.14。胡萝卜缺陷具有方向性, 方向沿水平方向, 与主参考边几近平行。

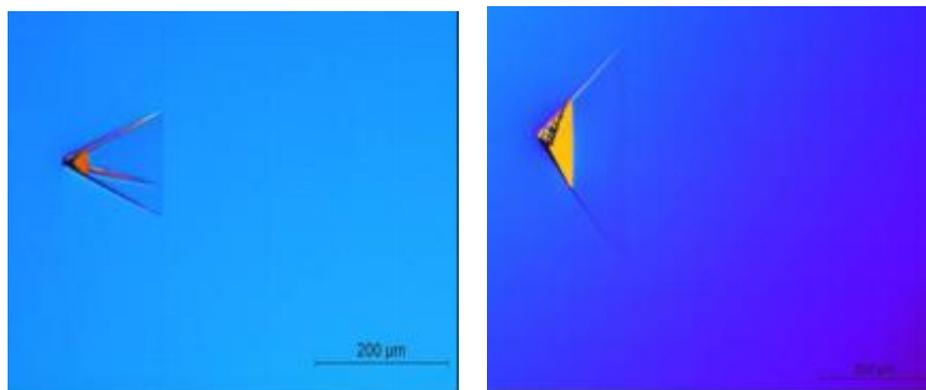
一般起始于外延层和衬底交界处。通常起因于衬底中的 TSD 位错, 有时候来源于衬底上化学机械抛光过程产生的划痕。

(8) 台阶聚集

台阶聚集不存在结晶缺陷, 具有方向性, 沿竖直方向, 与主参考边几近垂直, 如图 2.15。一般平行于 $\langle 1-100 \rangle$ 方向。

碳化硅外延生长过程中, 表面原子级台阶容易发生聚集的现象, 严重时会在表面形成细长型的三角形凸起, 凸起的高度可达数微米。另外, 在晶片划伤处台阶聚集现象往往更加严重, 形成细长型三角形的密集排列。一般由衬底结晶缺陷或衬底表面划痕引起。

台阶聚集现象严重影响外延表面粗糙度。一般认为, 外延表面台阶流生长由两个相互矛盾的过程作用: 一是外延表面吸附反应物质的随机性与均匀性, 这点使得台阶保持原有宽度与高度; 二是降低外延表面能的热力学倾向, 这点使得台阶趋向并聚。较大的衬底偏角, 较低的生长温度, 较快的生长速率有利于抑制外延表面的台阶聚集现象。



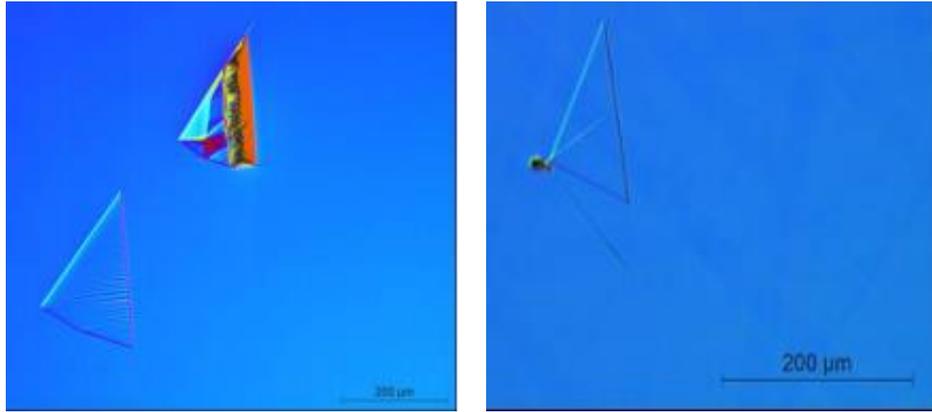
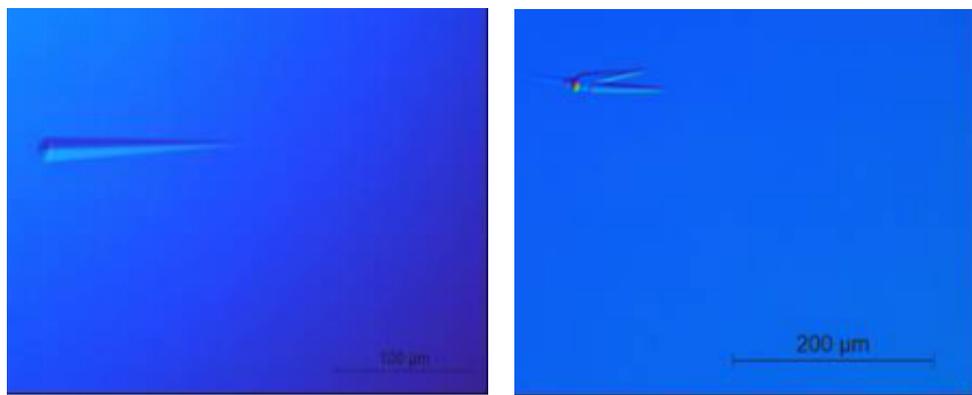


图 2.13 三角形 (Triangle) 缺陷图谱



放大倍数为：200 倍

放大倍数为：100 倍

图 2.14 胡萝卜 (Carrot) 缺陷图谱

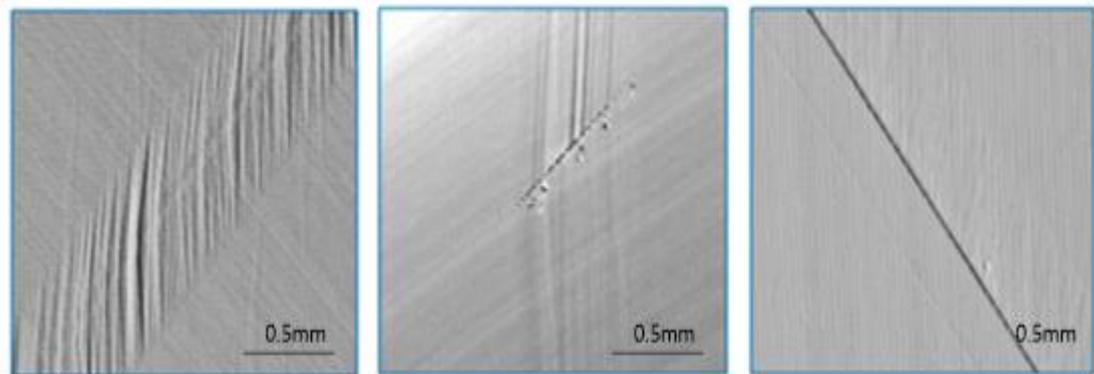


图 2.15 台阶聚集 (Step Bunching)

2.4 4H-SiC 外延材料的表征方法

碳化硅外延材料表征主要是从各个方面对材料质量参数进行测试、分析，同时为优化、调整生长工艺条件提出方向。工业上通常需要 SiC 外延材料的厚度及其均匀性、掺杂浓度及其均匀性、缺陷分布及表面粗糙度等参数进行表征。目前，对 SiC 外延片的厚度主要采用红外傅里叶变换光谱 (FTIR) 表征，对掺杂浓度主要采用汞探针

CV 或非接触 CV 来进行表征, 对缺陷分布主要采用基于光学原理的 Candela 或 Lasertech 缺陷分析仪进行表征, 同时借助光学显微镜进行局部分析, 表面粗糙度主要采用原子力显微镜 (AFM)。对碳化硅缺陷进行解剖分析时会采用扫描电子显微镜 (SEM)、拉曼散射光谱 (Raman)、X 射线衍射 (XRD)、透射电子显微镜 (TEM) 等多种手段。

下面主要介绍以上分析方法:

2.4.1 外延层厚度测试

在硅同质外延生产中, 红外傅里叶变换光谱仪是测试硅外延片厚度的一种非常成熟先进的方法, 具有准确、快速、稳定、无损伤等优势, 非常适合工业化使用^[118]。

红外傅里叶变换光谱仪是基于衬底与外延层因掺杂浓度不同而导致的不同折射率, 红外线入射到外延层后, 一部分从衬底表面反射回来, 一部分从外延表面反射出来, 这两束反射光在满足一定条件下会产生干涉条纹, 根据反射谱中干涉条纹的极值峰位、光学常数以及入射角可计算出外延层厚度, 原理如图 2.16 所示。

干涉条纹极值级数按公式 (2-4) 计算:

$$P_i = \frac{m\lambda_1}{\lambda_1 - \lambda_i} + 0.5 \quad (2-4)$$

式中:

λ_1 ——选定的第一个极值处的波长, 设为参考波长, 单位为纳米 (nm);

λ_i ——第 i 个极值处的波长且满足 $\lambda_1 > \lambda_i$, 单位为纳米 (nm);

P_i ——第 i 个极值所对应的级数;

m —— λ_1 和 λ_i 的级数差。

第 i 个极值所对应的外延层厚度公式 (2-5) 计算:

$$T_i = (P_i - 0.5) \frac{0.01 \lambda_i}{2 \sqrt{(n_1^2 - \sin^2 \varphi)}} \quad (2-5)$$

式中:

T_i ——第 i 个极值所对应的外延层厚度, 单位为微米 (μm);

n_1 ——外延层的折射率;

φ ——入射光的入射角, 单位为度 ($^\circ$)。

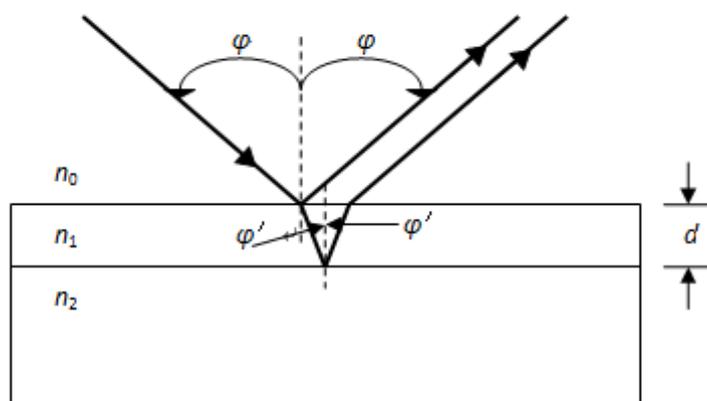


图 2.16 红外傅里叶变换外延层厚度测试原理图

2.4.2 外延层掺杂浓度测试

电容-电压测试长期以来被用于判断多种不同器件和结构的各种半导体参数。目前主流的测量碳化硅外延掺杂浓度的主要方法就是 Hg-CV。图 2.17 为汞探针 C-V 测试原理图。其主要原理是汞接触在碳化硅硅面上，形成肖特基接触，形成肖特基势垒，此时在汞和碳化硅背面加一个反向电压，这样肖特基势垒的宽度向外延层中扩展。势垒电容和电压的变化率、势垒扩展宽度、载流子浓度满足如下关系：

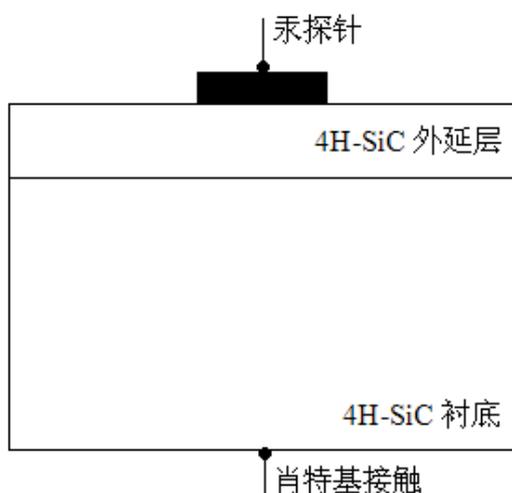


图 2.17 C-V 测试原理图

$$N(w) = \frac{C^3}{q\epsilon_s\epsilon_0 A^2} \times \left(-\frac{dC}{dV}\right)^{-1} \quad (2-6)$$

$$w = \epsilon \cdot \epsilon_0 \cdot A / C \quad (2-7)$$

其中:

w —势垒扩展宽度, 单位为厘米 (cm);

$N(w)$ —势垒扩展宽度 w 处的载流子浓度, 单位为每立方厘米 (cm^{-3});

C —势垒电容, 单位为法 (F);

V —偏置电压, 单位为伏特 (V);

q —电子电荷, 1.602×10^{-19} , 单位为库仑 (C);

ε —4H-SiC 相对介电常数, 其值为 9.76;

ε_0 —真空介电常数, 其值为 8.859×10^{-14} , 单位为法每厘米 (F/cm);

A —汞-碳化硅接触面积, 单位为平方厘米 (cm^2)。

只要测得 C 、 dC/dV 和 A , 就可计算得到势垒扩展宽度 w 处的载流子浓度。

2.4.3 缺陷测试

(b) 表征方法

(1) 选择腐蚀法

由于高原子结合能, SiC 晶体是一种非常稳定和惰性的半导体材料, 利用熔融的 KOH、NaOH 或者 Na_2O_2 进行腐蚀, 温度一般在 450-600°C 左右, 持续几分钟, SiC 表面被氧化, 随后除去氧化物, 那么在位错处由于存在高应变刻蚀速度较快而产生腐蚀坑。腐蚀坑大小在微米量级, 可以在光学微分干涉差显微镜下观察。尺寸最大的腐蚀坑对应表面露头的微管, 呈现六边形。中等大小的六角形腐蚀坑, 代表穿透螺位错; 较小的六角形腐蚀坑, 代表穿透刃位错; 另外还有贝壳状腐蚀坑, 代表基面位错。SiC 晶片存在 Si 面和 C 面两种不同极性, 所以表面的腐蚀速度也存在差异, 一般 C 面的腐蚀速度 ($1\mu\text{m}/\text{min}$) 大于 Si 面 ($10\text{nm}/\text{min}$)^[150], 在晶体切片加工过程中也利用这一原理来判断晶片的 C、Si 面。

选择腐蚀法参数控制, ①温度: 碳化硅熔融氢氧化钾缺陷选择腐蚀法的温度可选取 450-600 °C, 腐蚀过程保持恒温。控温不需要非常精确, 正负几摄氏度是可以接受的。②时间: 碳化硅熔融氢氧化钾缺陷选择腐蚀法时间为数分钟, 不能太长或太短。腐蚀坑大小与腐蚀时间正相关。时间太短则腐蚀坑过小, 不容易观测; 时间太长则腐蚀坑过大, 不同缺陷的腐蚀坑重叠在一块, 影响观测质量。选择腐蚀法须依据实际情况选取合适的腐蚀时间, 一般而言几分钟的腐蚀时间可让位错露头点的腐蚀坑直径达数微米甚至更大。

(2) 缺陷分析仪

缺陷检测设备是针对晶片的缺陷的检测分析仪器, 如图 2.18。该方法采用双激光光源 (UV Laser 355nm 垂直入射, Violet Laser 405nm 小角斜入射), 激光经过样品

表面和内部会发生反射和散射，探测器同步收集材料光散射信号，表面反射信号，相位改变信号，表面成像信号，光致发光（PL）信号等，分析接收到的信号来识别缺陷的大小和位置，并自动进行缺陷分类和计数。由于光源、光源激化类型以及探测器的不同，不同的光学通道分别用于 SiC 晶片不同缺陷类型的精准检测和分类。可表征一部分结构缺陷，如微管、基面位错、层错，以及所有的形貌缺陷，如划痕、三角形、胡萝卜、滴落物等。

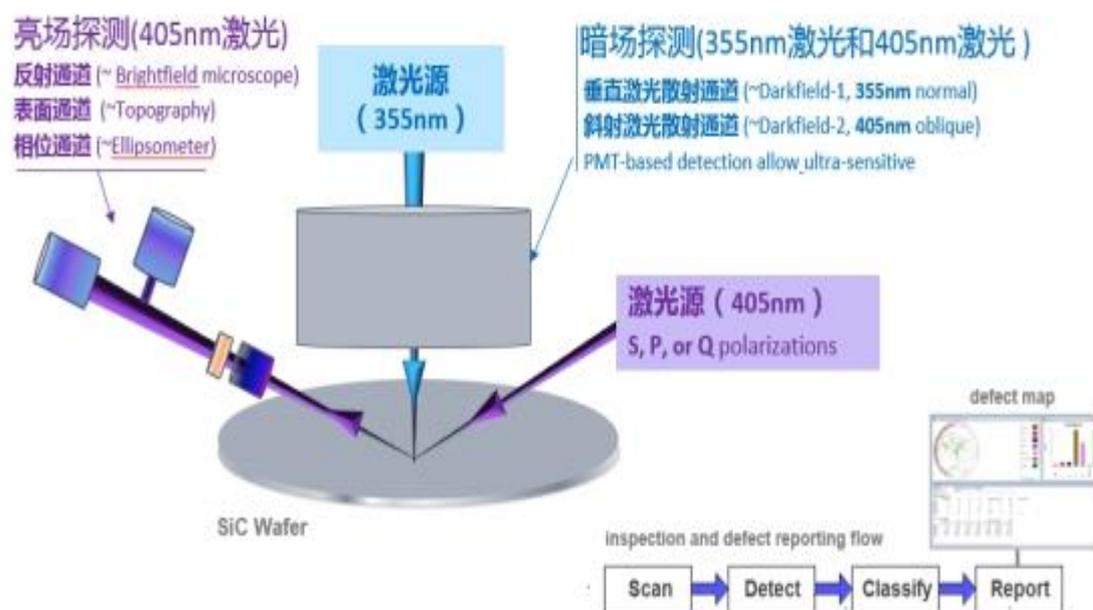


图 2.18 缺陷检测光学原理设计示意图

该设备的缺陷检测能力可以帮助减少由于表面污染造成的外延缺陷，对最后器件的良率提升有至关重要的作用。该仪器内部的过滤器可以保证内部的洁净环境为 10 级，防止内部污染同时该仪器长期稳定准确。可以简单、快速的检测出各种尺寸的晶片，适合工业化生产。

2.4.4 少数载流子寿命测试

少数载流子寿命是影响 SiC 双极器件性能的关键指标，尤其是电力系统需要的高压 SiC IGBT 器件。能够实现对其准确的表征也非常重要。

常用测试方法是先光注入和电注入产生非平衡载流子，产生的载流子会在表面和外延层进行复合进而不断减少，再探测微波信号或电导率信号的变化来观察非平衡载流子的衰减，从而测出少数载流子的寿命。常用的方法有：直流光电导衰减法、高频光电导衰减法、表面光电压法、微波光电导衰减法等。

表 2-1 各种测试少数载流子寿命的方法

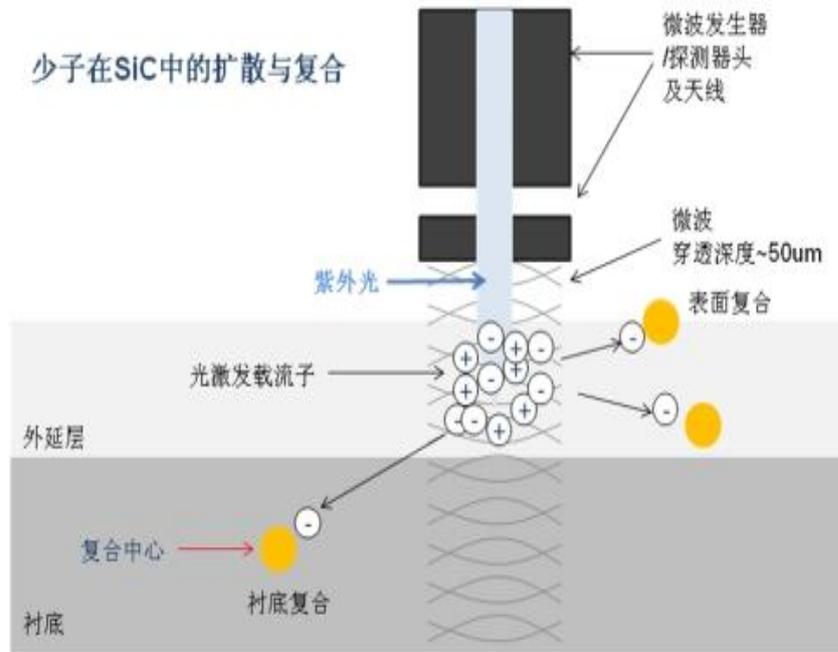
名称	优点	缺点
直流光电导衰减法	读数迅速准确	必须切割样品
高频光电导衰减法	不需要切割样品	对电阻率有一定的要求，过低时光电导信号微弱到无法观测
表面光电压法	该方法测得少子寿命不受表面复合的影响	样品背面要做成欧姆接触
微波光电导衰减法	非接触，不需要任何处理	测试结果是有效少子寿命，表面复合对其有一定的影响

直流光电导衰退法是利用直流电压衰减曲线来探测少子载流子的寿命。通过在样品两边加一恒定的电流，同时加一光照，使样品产生非平衡载流子，光照去掉后，通过探测电压的变化来观察少数载流子寿命。该方法需要对样品制备和测试环境有一定的要求，不适合工业化生产。

高频光电导衰减法，基本物理原理与直流法一样，只是用高频电流作为获取信号的手段。是将高频电源施加在样品的正面和背面，同时进行光照，产生非平衡载流子，电导率随之发生变化，使得高频电压得到调制，通过测得高频信号的变化来观察少数载流子的衰减。该方法的优点是无损的，但是由于是采用电容耦合的方式，对样品的电阻率有一定的要求。

表面光电压法是通过采用大于半导体禁带宽度的能量的光照射半导体表面产生非平衡载流子，电子空穴对向表面扩散，产生表面光电压。用电容耦合的方法，即可将表面光电压信号耦合到放大器进行放大、测量。背面要做成欧姆接触，并且要避免光照，否则有可能产生丹倍电势差跌加在表面光电信号上。

微波光电导衰减法是目前业内主流的检测少子载流子寿命的方法。通常在室温下进行，采用带隙光脉冲光注入到外延材料中产生非平衡载流子。然后脉冲光源停止注入后，电子和空穴要进行复合，渐渐消失，同时材料的电导率随着发生变化。这样获得光电导衰减曲线即可以直接测得少子载流子寿命。光电导是对过剩载流子数量的直接测试，已经在 Si 晶体载流子寿命测试中广泛应用。所谓的少子载流子寿命，即半导体中少子载流子生存时间的一个标量。

图 2. 19 μ -PCD 原理

如图 2. 19 所示，微波发生器产生高频紫外激光信号（频率 10GHz），紫外激光在 4H-SiC 中的穿透深度约 50 微米，紫外激光产生光生载流子，从而改变 SiC 电导率，微波反射信号由探测器获得，反射的微波对电导率十分敏感。光生载流子在 SiC 中进行扩散，由于 4H-SiC 中存在诸如 C 空位的复合中心，光生载流子与复合中心复合而湮灭，由光生载流子产生的光电导信号就随时间发生衰减，并由微波探测器获得，这就是光电导衰减曲线，如图 2. 20 所示。通过利用方程式（2-8）对该光电导衰减曲线拟合，得到载流子寿命。

$$Y(t) = Y_0 \exp\left(-\frac{t}{\tau}\right) \quad (2-8)$$

式中：

$Y(t)$ 为光电导，

Y_0 为初始光电导，

t 为时间，

τ 为载流子寿命。

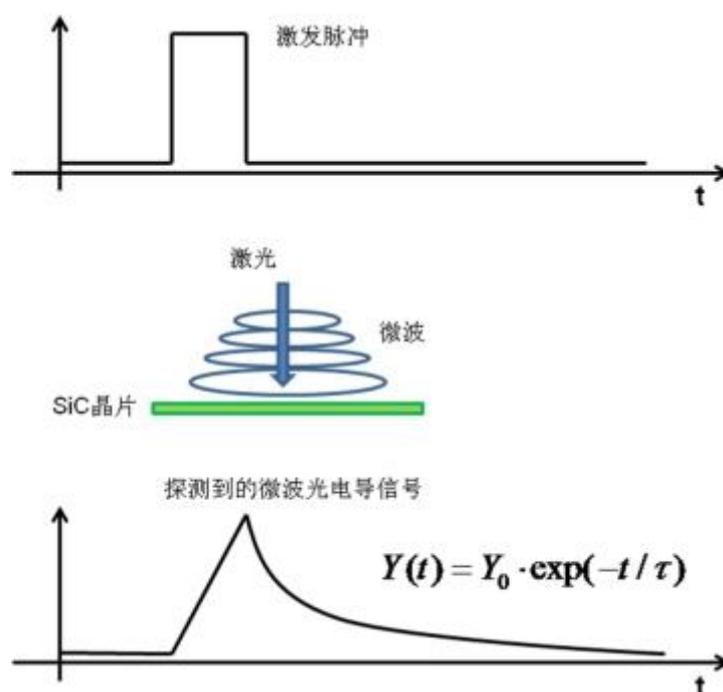


图 2.20 激发脉冲与瞬态光电导衰减曲线

所测量的载流子寿命 τ 实际上是一个有效载流子寿命，如式 (2-9) 所示，是 SiC 体载流子寿命 (τ_B)、表面复合寿命 (τ_{sur}) 以及衬底复合寿命 (τ_{sub}) 等综合寿命。

$$\frac{1}{\tau} = \frac{1}{\tau_B} + \frac{1}{\tau_{sur}} + \frac{1}{\tau_{sub}} \quad (2-9)$$

表面复合寿命和衬底复合寿命小于 SiC 体载流子寿命，当 4H-SiC 外延层比较薄时，两者的影响较大，所测寿命值偏小；当外延层比较厚时，两者的影响减弱，所测寿命值接近体载流子寿命。

2.5 本章小结

本章围绕高压器件用的厚膜外延材料的需求，首先对 SiC 同质外延生长技术，重点介绍了气相化学沉积的基本原理、SiC 外延台阶流生长技术、针对厚膜外延材料的快速外延生长技术。

其次，针对厚膜外延材料的需求，介绍了快速外延生长设备，重点介绍了快速水平设备和快速垂直设备。

最后，对 SiC 外延材料的常规参数如：厚度、掺杂浓度、缺陷及少子寿命等所采

用的各种表征方法做了系统地介绍。

第三章 大尺寸厚膜 SiC 外延关键技术

SiC 高压大功率器件的研究日益受到关注。除了性能方面需要提升外,成本也是大家所关注的问题之一。总所周知,随着衬底尺寸的增大,单个器件的制造成本也越来越低。高压器件用碳化硅外延片由于厚度较厚,制造成本居高,研究大尺寸厚膜 SiC 外延生长技术有非常重要的现实意义。对厚膜外延来讲,传统外延由于生长速率低不能满足厚膜的需求,本章首先通过仿真技术对比研究了传统外延和氯基快速外延,从理论上验证了氯基快速外延的可行性;在氯基外延的基础上,开展了生长速率和生长温度对表面形貌的影响研究,以实现表面优良的外延材料;其次,在此参数优化的基础上,开展了周期性外延生长技术研究,以实现高质量低缺陷的外延材料;最后,研究厚膜外延材料的少子寿命提升技术,以修复深能级缺陷,满足高压双极器件的需求。

3.1 快速外延技术

4H-SiC 功率器件在电网应用领域的主要特点是高电压、大电流、大功率,而这样的器件需要一层掺杂浓度合适并且足够厚的漂移层,以便电压升高时,耗尽层能够有足够的空间扩展。一般对于阻断电压大于 10kV 的器件,需要的外延层厚度大于 100 μm 。对于这样的超厚外延层,使用传统的 $\text{H}_2\text{-C}_2\text{H}_4\text{-SiH}_4$ 气体系统的生长技术,其生长速率一般只有 6-8 $\mu\text{m}/\text{h}$,所需要的生长时间就需要十多个小时,并且长时间的生长,表面质量受到限制,也会带来各种成本的提升,这些都无法满足厚膜产业化的要求。因此,需要将外延生长速率提高。目前主流方法是采用氯基反应气体,主要有以下:

(1) 氯化氢 (HCl)

2005 年, R. Myers 等人^[136]第一次报道了利用 Cl 基,即添加 HCl 来生长 4H-SiC 外延层的结果。他们所使用的生长设备是水平热壁 CVD,生长气体为 SiH_4 和 C_3H_8 , H_2 为载气, HCl 为添加剂。生长温度约为 1535 $^\circ\text{C}$,压强为 150 Torr, Si/C 比为 0.33。虽然作者没有对比使用 HCl 和不使用 HCl 对硅滴抑制的效果。但通过添加 HCl,可以将生长气体 SiH_4 流量提高到 200sccm,生长速率达到 55 $\mu\text{m}/\text{h}$ 。在这个生长速率下,表面虽然比较粗糙,却并没有观察到明显的硅滴。意大利的 F. La Via 等人^{[137][138]}做了加入 HCl 和不加 HCl 的对比,生长设备为意大利 LPE 公司的 ACISM8 热壁系统,利用 SiH_4 作为生长源气体。不加 HCl 时,生长速率只能达到 6-8 $\mu\text{m}/\text{h}$,再提高 Si/ H_2 比例来增加生长速率时,就会出现硅滴。当加入 HCl 之后,进一步提高 Si/ H_2 比例没有观察到硅滴的形成,并且当 Si/ H_2 比达到 0.6%时,生长速率超过了 100 $\mu\text{m}/\text{h}$ 。F. La Via 认为,这个生长速率还能进一步提高。

通常认为添加 HCl 的影响可能有两种机制。一种是 HCl 可以分解硅滴，或抑制硅滴的形成，从而形成含 Si 的分子，促进生长；二是 HCl 会对生长表面上结晶质量差的区域进行选择刻蚀，这会提升外延表面质量，但可能会导致比第一种机制更低的生长速率。第一种机制可能会使得添加 HCl 后，生长速率有所提升，但在同样的 SiH₄ 流量和其它条件下，加入 HCl 并没有速率提升。第二种机制因为刻蚀的作用，可能会使生长速率下降。

(2) 三氯氢硅 (TCS)

使用 TCS (SiHCl₃) 作为生长源气体主要以意大利的研究人员为代表。2006 年，意大利的研究人员 S. Leone 等人^[139]第一次报道了用 TCS 作为 SiC 的外延生长源气体。所使用的系统为 LPE 公司的 ACISM8 水平热壁反应系统，TCS 为硅源，C₂H₄ 为碳源，H₂ 为载气。利用传统硅源 SiH₄，当 SiH₄ 比例超过 0.05% 时，就会出现硅滴，从而影响生长，生长速率也只有 6-8 μm/h。但利用 TCS 替代 SiH₄ 作为硅源之后，同样 Si/H₂ 比例下 (0.01-0.05%)，生长速率都增加了大约 15%，并且在 0.06% 时生长速率提高到约 16 μm/h。这最初的实验证明了 TCS 作为硅源，能有效避免硅滴的形成，从而达到提高生长速率的目的。2009 年，F. La Via^[113]在该设备上，通过优化 TCS 体系工艺，将生长速率提高到了 100 μm/h。

(3) 甲基三氯化硅 (MTS)

2005 年，美国的研究人员 Peng Lu 等人^[140]较早的报道了利用 MTS (CH₃SiCl₃) 作为生长源来生长 SiC。利用 MTS 作为生长源有几个好处，第一，其热稳定性较低，600 °C 以下就分解，超过 750 °C 时，其热平衡完全转向 SiC 的形成；第二，分解过程中释放的 HCl 对 SiC 表面有刻蚀作用，能产生更多的周期性台阶和台面结构，有利于台阶流生长模式生长；第三，MTS 常温下为液体，比起气体源更安全；第四，MTS 并不贵，并且纯度很高，适合于用于制备半导体材料。当然，用 MTS 生长 SiC 的另一个重要作用，是其所含的 Cl 元素对硅滴的抑制有非常好的效果。Peng Lu 等人所使用的生长系统为垂直冷壁反应系统，衬底为 6H-SiC 或者 4H-SiC。所使用的载气为 H₂ 和 Ar 的混合气体，总的流量比较小，H₂ 为 1 slm，Ar 为 2 slm。MTS 由 H₂ 通过鼓泡器携带出来。当载气 H₂ 流量从 20 sccm 增加到 100 sccm 时，生长速率从 20 μm/h 增加到 90 μm/h。

(4) 二氯氢硅 (DCS)

使用 DCS (SiH₂Cl₂) 作为 Cl 基的生长源气体的研究单位以南卡莱罗纳大学为主。I. Chowdhury 等人^[141]认为比起其他 Cl 基源，DCS 更容易产生对生长起主要贡献的产物 SiCl₂。表 3.1 所示为 SiH₂Cl₂、SiHCl₃、SiCl₄ 分解反应需要的激活能。SiH₂Cl₂ 分解为 SiCl₂ 所需要的激活能比 SiHCl₃ 高大约 4 kcal/mol (77.4-73.7 kcal/mol)，但并不意味着 SiHCl₃ 更高效。因为 SiHCl₃ 分解为 SiCl₃ 的反应只需要 2.5 kcal/mol 的激活能，

这会导致 SiHCl_3 更容易生成 SiCl_3 ，因而会导致 SiCl_3 过剩，这会降低分解生成 SiCl_2 的效率。 SiH_2Cl_2 在室温下为气态，因而不需要鼓泡器。

表 3.1 气相反应中， SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 分解反应需要的激活能^[136]

化学反应	激活能 E (kcal/mol)
SiH_2Cl_2	
$\text{SiH}_2\text{Cl}_2 \leftrightarrow \text{SiCl}_2 + \text{H}_2$	77.4
SiHCl_3	
$\text{SiHCl}_3 + \text{H} \leftrightarrow \text{SiCl}_3 + \text{H}_2$	2.5
$\text{SiHCl}_3 \leftrightarrow \text{SiCl}_2 + \text{HCl}$	73.7
SiCl_4	
$\text{SiCl}_4 \leftrightarrow \text{Cl} + \text{SiCl}_3$	111.16
$\text{SiCl}_3 + \text{H}_2 \leftrightarrow \text{SiHCl}_3 + \text{H}$	2.5
$\text{SiHCl}_3 \leftrightarrow \text{SiCl}_2 + \text{HCl}$	73.7

I. Chowdhury 等人^[141]所使用的生长设备是垂直热壁 CVD，可容纳 2 in 的晶片生长。 H_2 为载气，流量为 6~12 slm；生长温度为 1650 °C 到 1750 °C；压强为 300 Torr；生长气体为 SiH_2Cl_2 和 C_3H_8 ，流量分别为 3.5~5.3 sccm。当 H_2 流量为 6 slm 时，随着 DCS 流量增加，生长速率增加，但当其流量超过 4.9 sccm 时，出现了硅滴，最高生长速率约为 50 $\mu\text{m}/\text{h}$ 。

(5) 四氯化硅 (SiCl_4)

利用 SiCl_4 作为 Cl 基硅源，主要以密西西比州立大学的 S.Kotamraju 等人^[142]的研究为代表。该研究组所使用的反应设备为水平热壁 CVD，分别利用 CH_3Cl 和 SiCl_4 作为碳源和硅源。生长温度为 1600 °C，压强为 140 Torr， H_2 作为载气。随着 Si/ H_2 比或者 SiCl_4 流量的增加，生长速率增加。最高生长速率接近 100 $\mu\text{m}/\text{h}$ ，所使用的 H_2 流量比较小，只有 12 slm。

综合以上，HCl 作为 Cl 基的研究最早，其中包括国际一流的研究单位，如林雪平大学、意大利 LPE 公司、日本昭和电工株式会社、美国 Cree 公司等。但日本和美国的单位更多的是将 HCl 利用在行星式系统上，而不是快速外延。其他几种前驱体，以 TCS 和 MTS 在快速外延上的研究最多，且达到的效果也最好。各种 Cl 基方法的对比显示，MTS 和 $\text{SiCl}_4 + \text{CH}_3\text{Cl}$ 两种方法可能比 HCl、TCS 等方法的效率更高。MTS 的研究以林雪平大学为主，TCS 以意大利尤其是 LPE 公司为主。Cl 基除了能够抑制硅滴的形成，还能对 3C 多型夹杂造成优先刻蚀。使用 Cl 基碳前驱体如 CH_3Cl 也会对生长带来积极作用，比如加宽 C/Si 比的窗口调节宽度。MTS 的效率相

对 TCS 可能更高,但也有在变化 C/Si 比参数上的不理想的缺点。而 TCS 因为以 LPE 公司为主,并且 LPE 公司在快速外延生长设备的产业化方面比较领先,同时借助其在硅外延中成熟的鼓泡系统,使得 TCS 能够安全稳定的使用,所以 TCS 的推广可能更快。这些都将对超厚 SiC 外延生长的研究起到指导作用。一定程度上推动了产业的快速发展。

3.1.1 仿真模型

外延生长过程中 SiC 外延层的微观生长机制直接决定了 SiC 膜的表面形貌和微观结构,深入研究 SiC 膜的微观生长机制成为获得高性能材料的关键。仅仅通过实验研究,难以完全掌握 SiC 膜的微观生长机制。因此,采用计算机模拟 SiC 外延生长过程,对掌握其微观生长机制起到了很好的辅助作用。

生长室的温场分布将会影响生长的速率、厚度均匀性、硅滴形成、缺陷分布等结果。而气体流场分布也会影响衬底附近的 C/Si 比例、生长均匀性等结果。因此对于反应室内温场、流场的把握,以及对温场、流场的仿真是对生长设备性能把握的重要方面。同时,生长室内部件的结构设计,如支撑盘的结构,对外延前刻蚀、生长过程都有非常重要的影响,甚至影响晶型的稳定。而模拟仿真对能够更加快速便捷的把握反应系统的结构、温场、流场问题,并且能够显著降低设备改进的成本。化学反应模型还可以预测工艺反应,深入研究的化学反应的各个过程,以及中间生产物等。

本文采用俄罗斯 STR 公司开发的化学气相沉积模拟软件 VR-CVD^[143],该软件用于化学气相沉积的模拟仿真研究已经被很多文献所报道^{[144][145]}。可以进行温度场和流场的仿真。计算模型考虑外延炉热场部件间的热交换,气流的对流效应,气相反应。出于计算机资源需要的考虑,建立二维计算模型,如图 3.1(a)所示。为了节省计算时间,提高计算精度,位于衬底区域对计算网格做了细化处理,如图 3.1(b)所示。

计算模型中热场部件所使用的物性参数如表 3.2 所示。

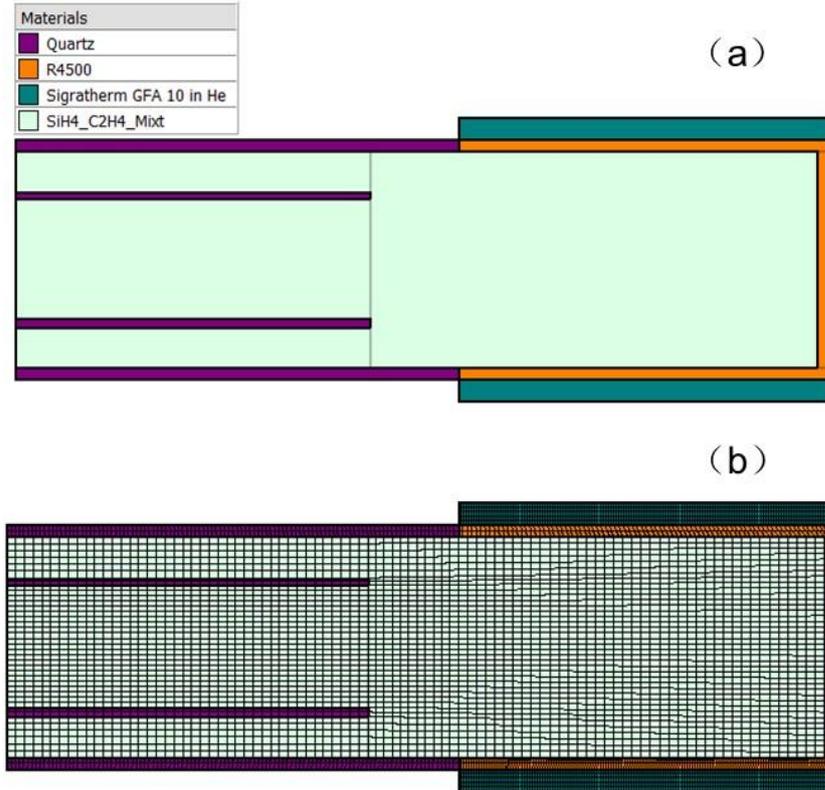


图 3.1 外延炉示意图 (a) 及计算网格(b)

表 3.2 模拟中使用的主要物理参数

	比热容 (J/kg · K)	热导率 (W/m · K)	辐射系数
碳化硅	1281	$288*(T/300)^{-1.29}$	0.9
石墨	500	$105*(T/300)^{-0.3}*\exp(-3.5*(T-300)*1e^{-4})$	0.8
石墨毡	$0.634T+516$	$0.1773\exp[0.7*10^{-3}(T-273)]$	0.9
石英	900	4	0.85

仿真软件所采用的理论模型如下^[143]:

(1) 热传导模型

(1.1) 基本方程

热量的传递方式分为三种基本形式：传导、对流和辐射。反应腔体的温场问题，由热传导模型来解释。所有的热传导过程包括三个部分：一，固体媒介内的热传导；二，气体内的导热和对流；三，气体和固体表面之间的辐射热交换。

在固体中，热传导方程为：

$$-\frac{\partial}{\partial x_i} \left(\lambda_{ik} \frac{\partial T}{\partial x_k} \right) = Q \quad (3-1)$$

其中 T 为温度， λ_{ik} 为热导率张量， Q 为来自电阻或电感加热的热源。

对于固体表面之间的辐射热交换，可以用以下方程来描述：

$$q_i^{in} = \sum_{j=1}^{Ne} q_j^{out} F_{ij} \quad (3-2)$$

其中， F_{ij} 为配置因子， q_i^{in} 是入射到第*i*个有限元的辐射通量， Ne 是边界上有限元的总数量， $q_j^{out} = q_j^{em} + (1 - \varepsilon_i)q_j^{in}$ 是从第*i*个有限元出射的辐射通量， $q_j^{em} = \varepsilon_i \sigma T^4$ 第*i*个有限元的热发射， ε_i 是第*i*个有限元的发射率， σ 是 Stefan-Boltzmann 常数。如果使用了 Gebhart 因子，由于如下的 q_j^{em} 和热产生净速率 $q_i^{net} = q_i^{out} - q_i^{in} = q_i^{em} - \varepsilon_i q_i^{in}$ 之间的直接关系，迭代过程的收敛速率将会增强：

$$q_i^{net} = \sum_{j=1}^N G_{ij} q_j^{em} \quad (3-3)$$

其中， $G = I - \varepsilon F(I - (1 - \varepsilon)F)^{-1}$ 是 Gebhart 矩阵。

(1.2) 边界条件

壁温度边界的热通量计算如下：

$$q_w = \lambda \frac{T_w - T_c}{dx} \quad (3-4)$$

其中， λ 是相邻单元的热导率， dx 是壁到单元中心的距离， T_w 和 T_c 分别是壁和单元中心的温度。

对于与环境存在热交换的边界类型，壁的热传递的计算如下：

$$q_w = h(T_a - T_w) + \sigma \varepsilon_w (T_a^4 - T_w^4) \quad (3-5)$$

h 是一个外部热传递参数， T_a 是环境温度， T_w 是壁温度， σ 是 Stefan-Boltzmann 常数， ε_w 是壁发射率。

(1.3) 热间隙

两个固体之间的界面可以被当做直接接触或者有一层薄的气体间隙。以下介绍气体间隙的热传递模型。

有限宽度的薄层气体间隙可以模型化为一个单边界，间隙之间的温度降不为零。可以通过有效热传递系数来计算温度降，有效热传递系数用来解释辐射、气体导热、部分直接接触导热，其计算方法如下：

$$h_{eff} = (1 - \beta)h_{gas} + (1 - \beta)h_{rad} + \beta h_{solid} \quad (3-6)$$

其中, h_{gas} 、 h_{rad} 、 h_{solid} 是气体导热、入射、直接接触导热的热传递系数, β 反映了直接接触的程度。 β 可从 0 (固体之间没有任何直接接触的纯间隙) 到 1 (没有间隙的纯接触)。如果 β 相当小(0.001-0.01), 间隙会对热传递有巨大的影响。间隙壁的温度可从间隙两边单元之间的热平衡计算得到。气体导热相关的热传递系数可表示为:

$$h_{gas} = \frac{\lambda_{gas}}{\delta(1+2\frac{aI_{mfp}}{\delta})} \quad (3-7)$$

其中, δ 是间隙宽度, I_{mfp} 是气体的平均自由程, a 是调节系数。 I_{mfp} 由气体的运动学理论给出:

$$I_{mfp} = \frac{3\mu}{2p} \sqrt{\frac{\pi RT}{2M}} \quad (3-8)$$

其中, μ 是气体粘度, p 是压强, M 是气体分子质量, R 是气体普适常数。

生长温度条件下, 源于气体的热传递通常比来自辐射的热传递小很多。与辐射相关的热传递系数可表达为 $h_{rad} = \frac{q_{rad}}{\Delta T}$, 其中 ΔT 是间隙间的温度降, 辐射通量 q_{rad} 可表达为 $q_{rad} = \varepsilon_{eff}\sigma(T_{w1}^4 - T_{w2}^4)$, 可得到:

$$h_{rad} = \varepsilon_{eff}\sigma(T_{w1}^2 + T_{w2}^2)(T_{w1} + T_{w2}) \quad (3-9)$$

其中 T_{w1} 和 T_{w2} 是间隙壁的温度, σ 是 Stephan-Boltzmannn 常数, ε_{eff} 是有效发射率, 可由两个壁的发射率 ε_1 和 ε_2 获得, 如下:

$$\varepsilon_{eff} = \frac{\varepsilon_1\varepsilon_2}{\varepsilon_1+\varepsilon_2-\varepsilon_1\varepsilon_2} \quad (3-10)$$

(2) 流体模型

(2.1) 流体动力学模型

利用两种模型来做计算, 即 Navier-Stokes 模型和亚声速流体模型。 p_t 为总压强, 由两部分组成, 即静压强 p_{st} (所有流体区域为常数) 和动压强 p_d (为流体流动的驱动力)。

亚声速模型假设 $p_d \ll p_{st}$, 所以

$$p_d = p_{st} \quad (3-11)$$

这个模型中，流体区域的压降只通过动量方程中的动压强梯度来求解，而静压强只在状态方程和决定混合气体的分压时使用：

$$p_{st} = \rho RT \sum_{i=1}^{N_s} \frac{c_i}{M_i} \quad (3-12)$$

$$p_i = c_i \frac{M}{M_i} p_{st}, i = 1, \dots, N_s \quad (3-13)$$

其中， ρ 是混合气体密度， R 为气体普适常数， N_s 为混合气体的种类数量， c_i 为第 i 种气体的质量分数， M_i 为 i 种气体的分子质量。 p_i 是第 i 种气体的分压， M 是混合气体的分子质量。这个假设只在气体区域中低马赫数流体区域有效，而在涉及到巨大水力阻力的复杂流体系统中是不适用的。

Navier-Stokes 模型为

$$p_t = p_{st} + p_d \quad (3-14)$$

$$p_t = \rho RT \sum_{i=1}^{N_s} \frac{c_i}{M_i} \quad (3-15)$$

$$p_i = c_i \frac{M}{M_i} p_t, i = 1, \dots, N_s \quad (3-16)$$

这个模型用于解释系统中生长区域内所有化学过程带来的压降效应。

(2.2) 湍流模型

系统中存在大量自然对流，这些地方可能有很大的温度梯度，这些区域可能存在湍流。计算中湍流使用湍动能-耗散率模型（ $k-\varepsilon$ 模型），其湍流粘度为：

$$\mu_t = \mu_0 + \mu_a \rho \delta^2 \sqrt{2\dot{S}^2 + \frac{1}{Pr_t} \left| \frac{\bar{g}\nabla\rho}{\rho} \right|} \quad (3-17)$$

其中， μ_0 为最小粘度水平， μ_a 为自定义（默认为 0.063）， δ 为到壁的距离， $Pr_t = 0.9$ 是湍流 Prandtl 数。

3.1.2 仿真结果与实验对比

为了检测模型的准确性，我们将仿真数据与实验进行了对比，如图 3.2 图所示。在仿真时候，可以选择不同反应体系，如 $\text{SiH}_4 + \text{C}_3\text{H}_8 + \text{H}_2$ 、 $\text{SiHCl}_3 + \text{C}_3\text{H}_8 + \text{H}_2$ 或 $\text{SiH}_4 + \text{C}_3\text{H}_8 + \text{HCl} + \text{H}_2$ 等。仿真和实验结果一致，无论是添加 Cl 原子还是没有添加 Cl 原子，在一定硅烷流量内，生长速率随硅源流量的增加而增加，几乎呈线性关系，这主要是由于，在所使用的温度和气体流量范围内，生长速率主要受到气体质量运输的

控制，吸附的原子或分子的数量随通入的前驱体气体流量的增大而增大，实验和仿真结果一致，模拟结果都能与实际测量值很好的吻合，验证了计算模型的有效性。

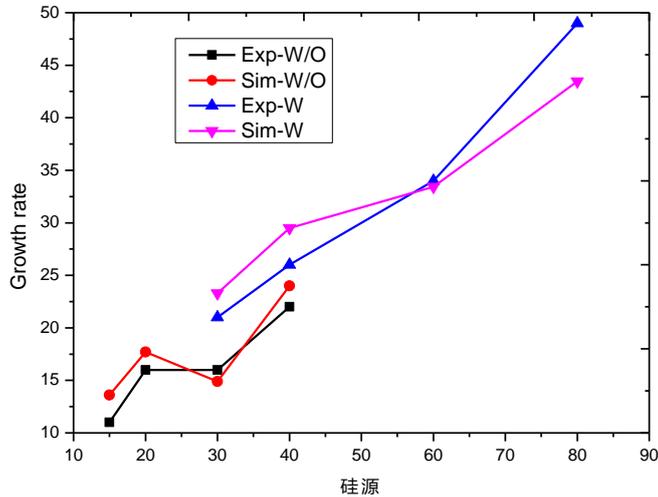


图 3.2 硅烷流量和生长速率的关系(仿真和实验比较)

在仿真模型可信的基础上，为了生长厚膜外延，开展了增加硅烷流量来提升生长速率的仿真实验。如图 3.3 所示，发现生长速率随着硅烷流量的增加而增加；同时在气流方向由于存在耗尽现象，生长速率不断降低；在没有引入 Cl 原子时，在硅烷达到 40 以上时，生长速率达到饱和，因为硅源气分解并凝聚而形成硅滴，导致硅源耗尽，从而限制了外延生长速率的进一步提高；引入 Cl 原子后，生长速率得到明显提升。添加 Cl 原子后，硅滴得到抑制，使得有效硅源得以提高，从而可以在不产生硅滴污染的情况下，进一步将生长速率提高。

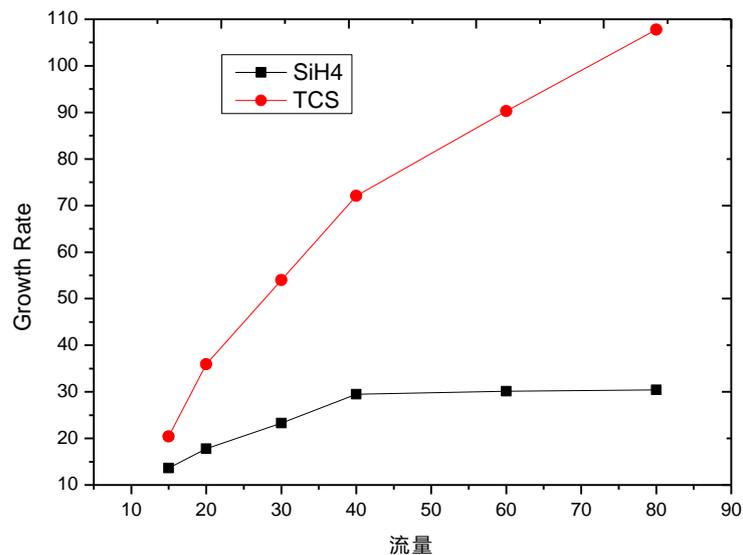


图 3.3 硅源流量和生长速率的关系 (仿真预测)

3.2 生长速率对表面形貌的影响

基于前面仿真研究的结果,开展了生长速率对 SiC 外延片表面形貌的影响。因为表面形貌是外延片的最基本的指标,也是工艺流程中检测的第一关,如果不达标会直接进入不合格品。同时,对高压器件(如 MOSFET、IGBT)的制造来说,栅氧的质量是器件实现高可靠性的关键因素。栅氧质量的好坏和外延层表面形貌有很大的关系,如 pits、巨型台阶等^{[151]-[155]},尤其是巨型台阶。台阶聚集一般在外延生长过程或刻蚀过程中形成,严重时形成巨型台阶^[156]。对于厚膜外延生长来说,提升生长速率同时又获得优质的表面形貌是基础,在此基础上再开展均匀性控制、缺陷控制才能最终实现高质量、低缺陷的、厚膜外延材料,所以本节主要研究外延生长速率对表面形貌的影响。

3.2.1 实验设计

实验在水平热壁外延炉进行,托盘采用高纯石墨且表面镀有 TaC 涂层。氢气为载气,流量维持在 100slm。依据仿真结果,采用了 Cl 基反应体系,硅源和碳源分别为三氯氢硅(SiHCl₃, TCS)和丙烷(C₃H₈)。碳化硅衬底采用 6 英寸、偏 4 度的 n 型 4H-SiC。分别在 20.7 μm/h, 30.4 μm/h 和 50.3 μm/h 三种生长速率下开展了实验,实验编号分别为 3-1, 3-2 和 3-3。通过调整生长源的流量大小来实现不同的生长速率,工艺参数如表 3.3。采用原子力显微镜分析了晶片表面的粗糙度。采用 CandelaCS920 分析了整片的缺陷密度和分布。

表 3.3 实验工艺参数

样品编号	温度 (°C)	H ₂ (slm)	TCS (sccm)	C ₃ H ₈ (sccm)	生长速率 (μm/h)
3-1	1650	100	100	34	20.7
3-2	1650	100	158	53	30.4
3-3	1650	100	250	84	50.3

3.2.2 讨论与分析

图 3.4 为 3 个样品的缺陷分布图。发现随着生长速率增大缺陷密度越来越高,在样品 3-3 的表面发现了巨型台阶。

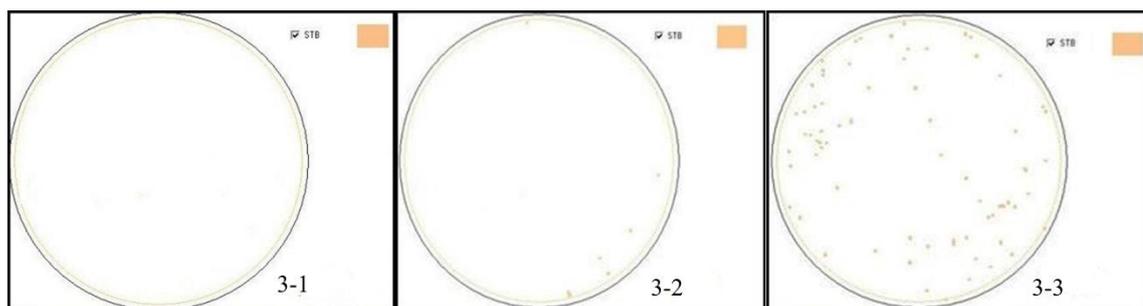


图 3.4 缺陷分布图

采用光学显微镜分析了三个样品的表面形貌。结果如图 3.5 所示，样品 3-1 表面如镜面无缺陷；样品 3-2 中心部分无缺陷但是边缘局部有巨型台阶；样品 3-3 在中心和边缘都分布了大量的巨型台阶。

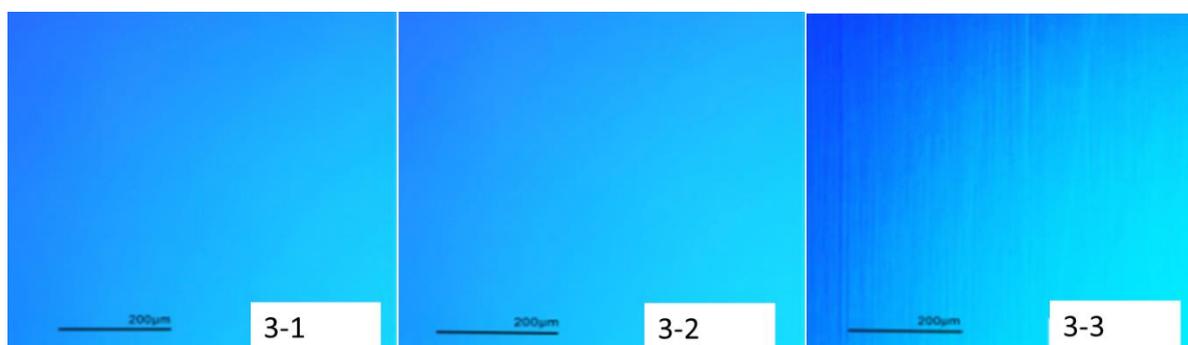


图 3.5 三个样品的局部光学照片

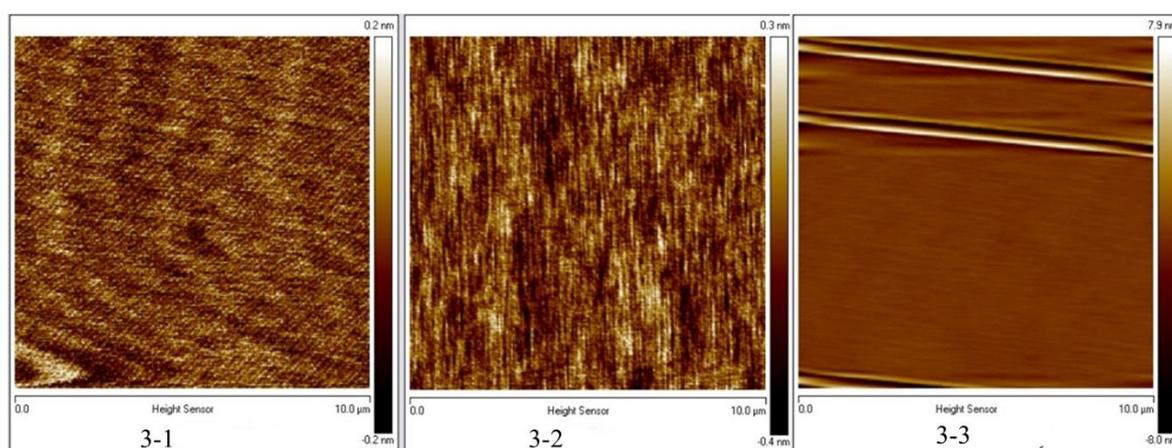


图 3.6 样品的二维 AFM 图形

图 3.6 为样品的 AFM 图形。三个样品的表面粗糙度分别为 0.09nm，0.135nm，0.459nm。巨型台阶高度大约为 16nm。

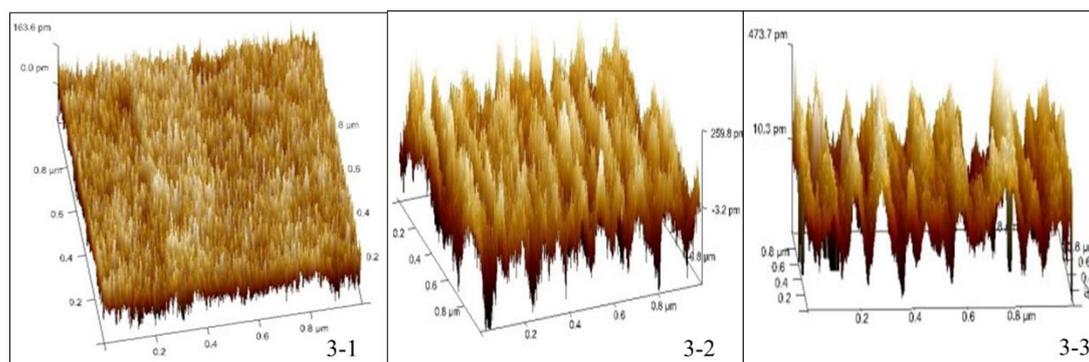


图 3.7 三维 AFM 图形

通过分析更高分辨率的 AFM 发现，图 3.7，样品 3-1 的表面是由很多微小型台阶“micro-step”周期排列构成的，原子台阶高度约 0.2-0.6nm，对应约为 1~2 倍 4H-SiC 双原子层（Si-C bilayer）的高度，台阶宽度约 6nm。与样品 3-1 的微小型台阶构成的表面不同，样品 3-2 的表面是由周期性排列的小型台阶“small-step”构成的，该台阶的高度约 0.5-2nm，台阶的宽度约为 50-200nm，该结果与 Tsunenobu Kimoto 等人报道的结果一致^[162]。对比样品 3-2 的原子力显微镜（ $1\mu\text{m}\times 1\mu\text{m}$ ）观测结果，可以发现样品 3-3 的两个大型台阶之间表面形貌与样品 3-2 的表面形貌相似，也是周期性排列的小型台阶构成，只是台阶的高度有所增加约 1-4nm，台阶的宽度约为 200-800nm。通过对上述实验数据的分析，可以发现随着生长速度的提高，4H-SiC 的外延表面的台阶聚集现象逐渐增加，原子表面经历了由微小型台阶、小型台阶到大型台阶的演变过程，同时表面粗糙度也逐渐增加。

关于台阶聚集的形成机理，主要有两种解释^[163]。一种是热动力学：遵循表面能量最低原则，表面呈现出周期性排列的台阶聚集；另一种是台阶动力学：在外界原子的干扰以及表面悬挂键的影响下，不同的台阶的运动速度存在差异，导致台阶重叠从而形成周期性排列的台阶聚集。从理论上实验结果更加符合台阶动力学理论。基于该模型理论，我们认为生长速度影响表面台阶聚集的机理如下：低速外延生长时由于原子台阶前进速度较慢，不同台阶之间速度差异较小，不易导致台阶之间的重叠，表面主要由微小型台阶构成。随着生长速度的提高，不同微小型台阶之间速度差异增大，导致不同台阶之间容易产生重叠，从而有利于小型台阶的形成。同样的道理，随着生长速度的继续增加，不同小型台阶之间也会产生类似的聚集重叠的现象，而多个小型台阶的聚集重叠就形成了宏观上可以观察到的大型台阶。

3.3 生长温度对 SiC 外延的影响

生长温度是外延生长过程中非常重要的工艺参数^[164]，设置不合理会导致大量缺陷出现，尤其是晶型的稳定性控制。相对低的生长温度可以抑制台阶聚集现象，但是

温度过低了也不好，会引起异质结晶，如 3C，主要以三角形缺陷表现出来。除了三角形缺陷外，硅滴或团簇也受温度影响较严重。据报道，氢气刻蚀会产生过量的 Si，从而在 SiC 表面形成硅滴^[165]。这种过量的 Si 可以通过在刻蚀中引入 HCl 或碳源来抑制。本节在上节的基础上，主要开展了生长温度对生长速率和形貌缺陷的影响，尤其是硅滴的影响。

3.3.1 实验设计

采用氢气为载气，流量设置在 100slm。衬底置于镀有 TaC 的石墨托盘上。在前节实验的基础上，为了得到优良的表面形貌，采用了 30 $\mu\text{m}/\text{h}$ 的生长速率开展了不同温度下的实验研究，SiHCl₃ 和 C₃H₈ 为反应源，生长温度在 1600 $^{\circ}\text{C}$ 到 1680 $^{\circ}\text{C}$ 范围变化，腔体压力 100mbar，支撑盘旋转速度为 60rpm，详细的工艺参数如表 3.4。采用光学显微镜、AFM 对表面形貌进行了分析，通过对样品切割采用 SEM 观察分析了硅滴的形成原因，并用拉曼光谱辨认了缺陷产生的化学结构。

表 3.4 实验工艺参数

样品编号	温度 ($^{\circ}\text{C}$)	H ₂ (slm)	TCS (sccm)	C ₃ H ₈ (sccm)
3-4	1600	100	158	53
3-5	1630	100	158	53
3-6	1655	100	158	53
3-7	1680	100	158	53

3.3.2 讨论与分析

生长温度是影响碳化硅外延生长最重要的参数之一，它对外延过程中动力学控制有着明显的影响。外延生长过程中包含的化学吸附、表面反应、解吸附等过程的速率都随生长温度的上升而成指数变化。

图 3.8 为本实验关于生长温度对生长速率的影响。可以发现，温度在 1600 $^{\circ}\text{C}$ - 1655 $^{\circ}\text{C}$ 范围内，生长速率基本不变，维持在 31 $\mu\text{m}/\text{h}$ 。然而，等温度达到 1680 $^{\circ}\text{C}$ 时，生长速率下降到了 28 $\mu\text{m}/\text{h}$ 。这是因为，在外延生长中包含两种竞争机制：沉积和氢气刻蚀。当硅烷流量不是很高时，温度的变化对沉积速率影响不大。然而，当氢气刻蚀速率和温度是指数关系，随着温度生长呈指数上升，当温度足够高时大于沉积速率^[167]。所以，在温度达到 1680 $^{\circ}\text{C}$ 时，可以解释为由于氢气刻蚀速率的加强使得外延净生长速率下降。与 A. Ellison^[166] 等人研究结果一致。在外延生长过程中，硅前驱体从反应室入口到达衬底的过程中，分解并结合成 Six 团簇，再由 Six 团簇释放出活性硅蒸汽，4H-SiC 的生长速率受到气氛中硅蒸汽的限制。当生长温度升高，Six 团簇释放

出的硅蒸汽增加,生长速率因此而上升。而温度上升, H_2 的刻蚀作用也同时上升,当温度上升到一定程度,在超过 1680°C 的高温区域, H_2 刻蚀作用的增强使生长速率不再增加,反而下降。

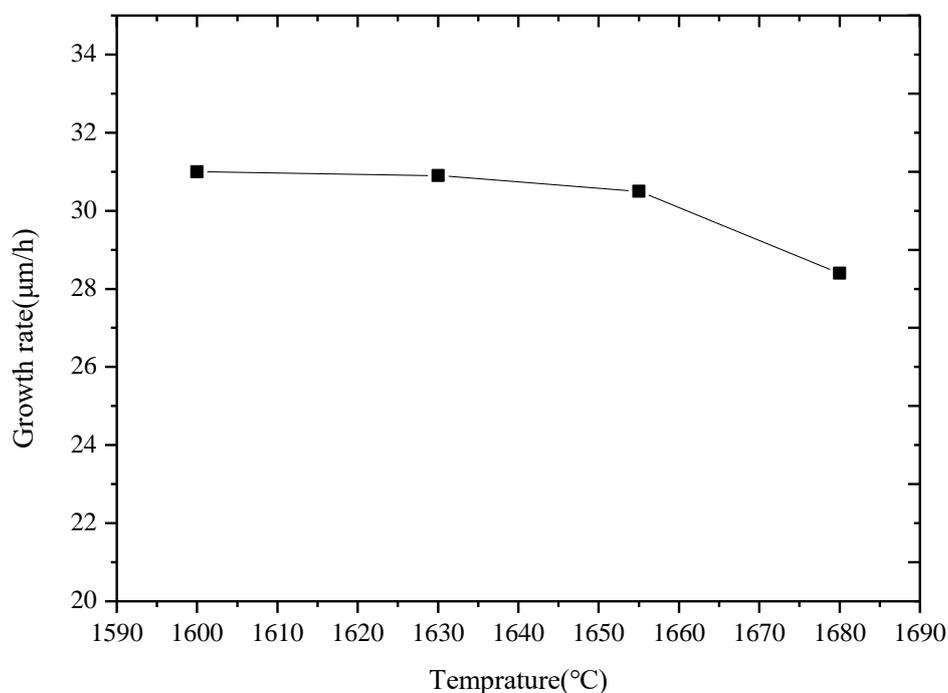


图 3.8 生长温度对生长速率的影响

图 3.9 为不同温度下的外延表面显微镜局部图。温度过低,在气体进口周围容易产生硅聚集,生成硅单质会随着气流飘落至碳化硅外延表面,滴落在衬底表面,虽然含有 Cl 原子,如图 3.9 (3-4)。单质硅的熔点为 1410°C ,而碳化硅的外延温度为 1600°C 左右,故硅单质在到达外延表面之前为液态。

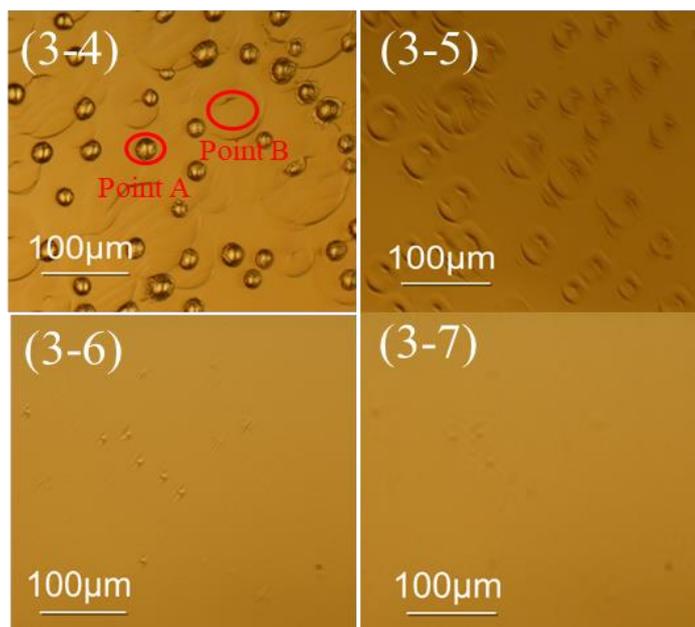
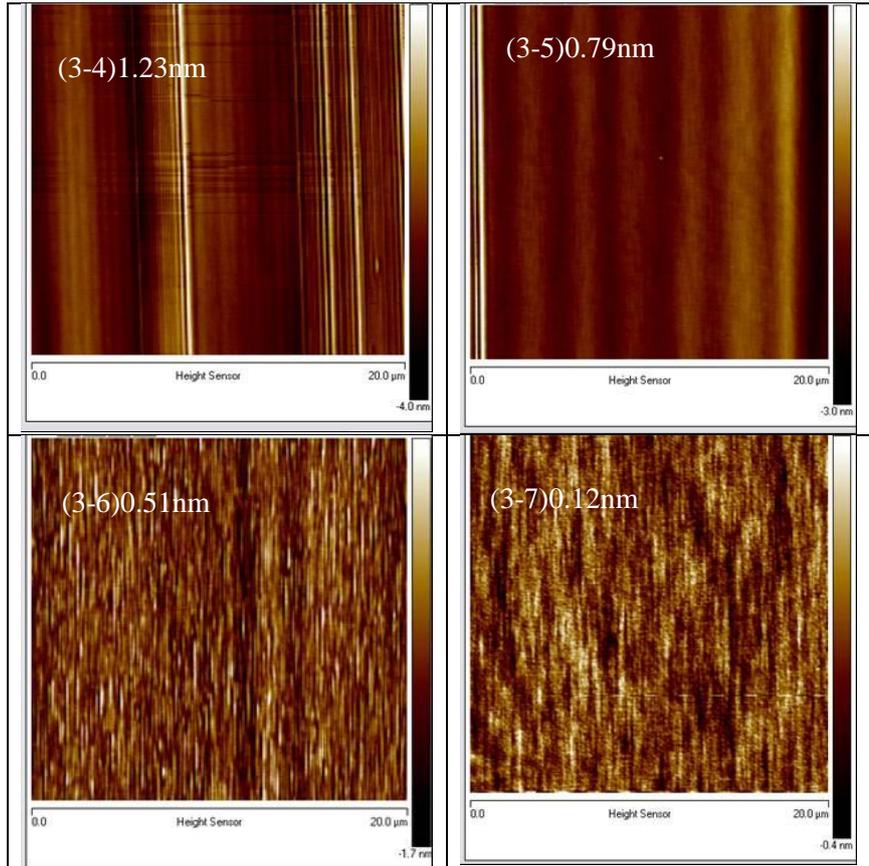


图 3.9 在 1600 °C (3-4), 1633 °C (3-5), 1655°C(3-6) 和 1680 °C (3-7)温度下的表面形貌

飘落在碳化硅外延表面的硅单质会在高温下蒸发,或重新与氢气反应生成气态生成物后被气流带走,如图 3.9 (3-5&3-6) 形成一些小岛和小坑,可能来源于较高温度使得硅滴挥发所形成,这些凹坑代表着生长过程中硅液滴在外延表面曾经存在的位置。

当温度达到 1680°C 时,没有在发现硅聚集或团簇,表面如光滑略微小起伏。腔体气体进口一般温度较低,容易产生硅聚集。在硅聚集转移到衬底表面过程中,经过高温区会在分解。1655°C 不足以使得硅聚集完全分解掉,进而在衬底表面形成了硅滴。所以升高温度可以抑制硅滴的形成。说明,提高反应温度,可以增加气体处于高温区的时间,有利于硅滴在到达碳化硅外延表面前挥发,即提高系统的临界 Si/H₂ 比。因为硅滴由气相形核产生,需要有一个临界的过饱和度,对应通入源气与载气的一个临界比例,即临界 Si/H₂ 比。通入气体 Si/H₂ 比高于临界值,则会在外延表面产生硅滴缺陷。

从图 3.10 不同温度下的 AFM 表面形貌,样品的粗糙度分别为 1.23nm、0.79nm、0.51nm、0.12nm。可以看出,表面粗糙度随着温度的升高明显下降,可以看出温度对表面形貌的调控非常明显。



(3-4), (3-5), (3-6), (3-7) 的温度分别为 1600℃, 1630℃, 1655℃, 1680℃
图 3.10 不同温度条件下 4H-SiC 外延层 AFM 图

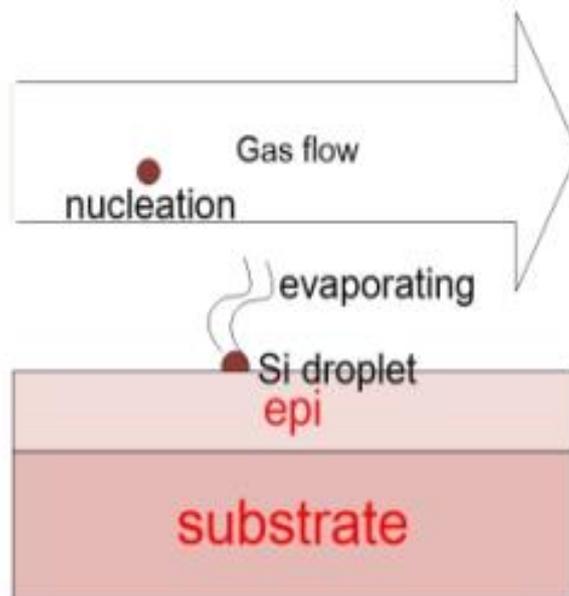


图 3.11 硅滴演化模型

以上分析可知硅滴的产生和生长温度息息相关。如图 3.11 描述了硅滴在外延过

程的中的演化过程。在 1600°C 时，硅蒸汽开始急剧凝结，在托盘上空形成硅滴。提高温度会使托盘附近的硅滴部分蒸发。当温度高于 1655°C 时，在衬底附近硅滴完全分解。所以控制生长温度对于抑制硅滴提高外延质量非常有意义。

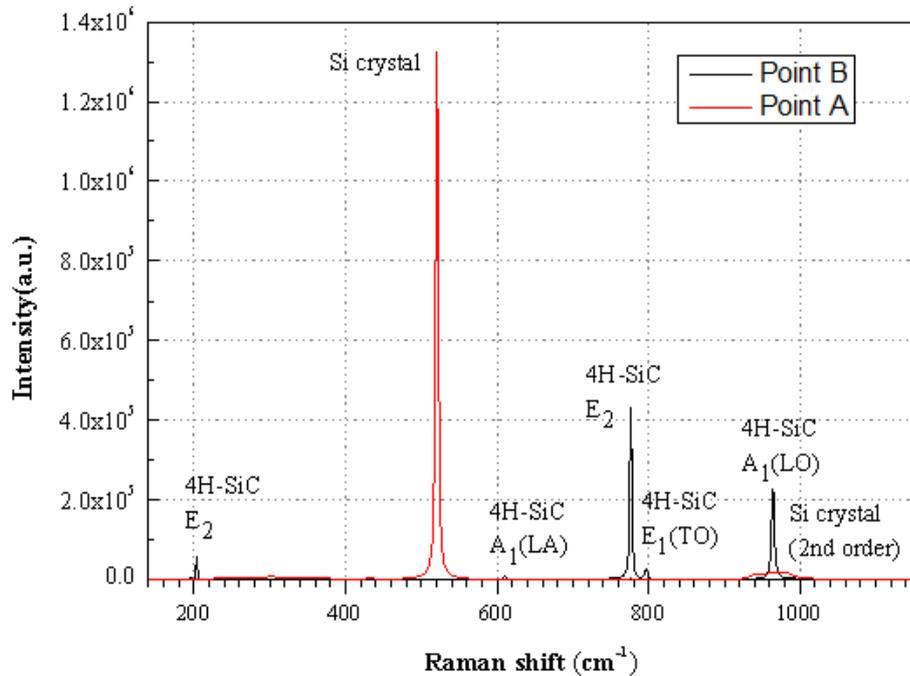


图 3.12 图 3.9(3-4)中 A 点和 B 点的 raman 谱

下面借助 Raman 光谱来分析硅滴的成分。图 3.9 (3-4) 标注的圆形形状通过图 3.12 的 Raman 光谱判断是硅，在波长 520cm⁻¹ 处，光谱信号较强并且比较窄，和硅单晶的光谱比较吻合，可以推测 A 点为高度晶体化的结构。从 Raman 光谱判断 B 点为 4H-SiC 晶型，因为没有发现 4H-SiC 信号以外的信号。

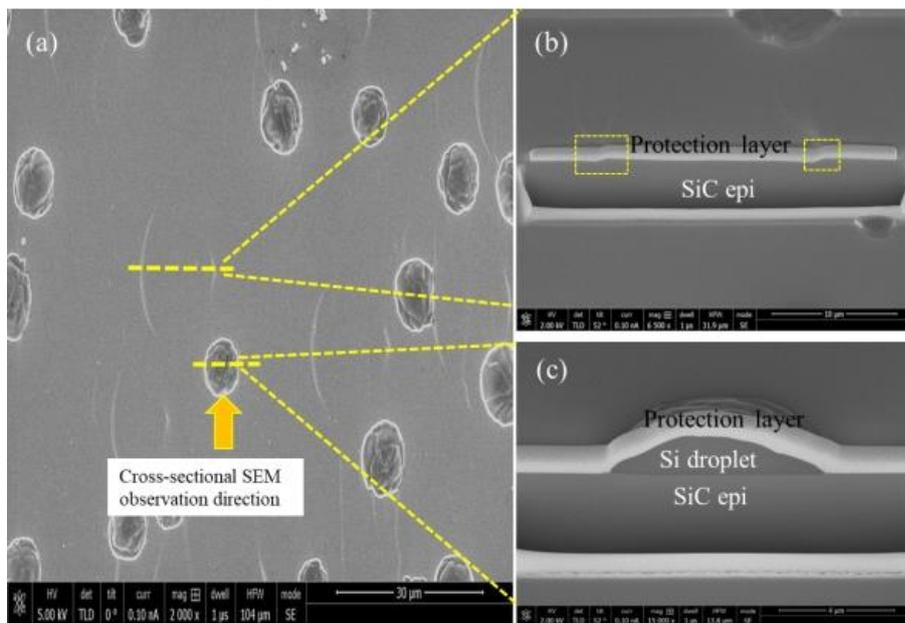


图 3.13 外延片的表面的 SEM 图像(a)、A 点(c)和 B 点(b)的切面 SEM 图像

最后通过 SEM 验证了硅滴的形成理论模型。为了抑制 FIB 对外延表面的损伤，在外延表蒸镀了一层 Pt 保护层。从图 3.13 (c) 可以看出 A 点处硅滴是滴落在表面，进一步证实了上述模型。结合 Raman 数据，可以确认 A 处就是硅滴。进一步还可以推测硅滴是在外延生长之后形成的，并且没有诱导出其他缺陷。从图 3.13 (b) 可以发现，B 处是一个表面扰动，可能是在外延过程中台阶流受到扰动有关。

3.4 周期性外延生长技术研究

超厚 SiC 外延材料中的高密度缺陷是制约高电压大功率 SiC 器件发展的主要问题。这些缺陷一般分为两大类、一类是形貌缺陷，如三角形缺陷、胡萝卜缺陷等；形貌缺陷一般属于“杀手型”缺陷，一旦出现器件性能就受到影响，使得器件制备的合格率大幅度下降，进而影响制造成本。高压大功率 SiC 器件需要超厚外延，其生长时间较长，外延表面生长前沿微气流场比例易失衡，会产生 SiC 颗粒或硅滴，容易掉落在外延表面，中断台阶流反应进程，扰乱台阶流生长；另外，在厚外延生长过程中，颗粒或者硅滴在外延炉腔体四周累积较多，容易掉落在衬底片表面上。结果会诱发三角形缺陷、胡萝卜缺陷以及层错与位错等致命缺陷，使材料品质退化，严重影响器件性能。

另一类是结构缺陷，如基面位错、螺位错、刃位错和堆垛层错等。结构缺陷中的基面位错比较特殊，对双极器件的可靠性影响较大，主要表现在使其正向电压漂移以及栅氧化层失效等问题。大部分导致双极功率器件性能退化的基面位错都是来自衬底并穿透到外延层。同时，由于电力系统用高压器件未来的器件主要结构都是双极器件，影响其商业化因素之一就是基面位错使双极器件性能退化，所以在外延中控制基面位错密度就非常必要。

关于基面位错的转化，已经开展大量的研究。Sumakeris^[157]和 Z. zhang^{[158][159]}在外延生长前通过先对衬底进行 KOH 腐蚀处理将 BPD 密度降低到 $<10\text{ cm}^{-2}$ ，并通过利用 AFM 表征了碳化硅外延层表面腐蚀坑的演变过程，发现在侧向生长速度超过台阶流控制方法的生长速度时，基面位错发生转向。但是这种方法不太适合工业的生产。2009 年，Stahlbush^[160]开发中断外延生长法（在生长中切断硅源供应），将 BPD 的转化率提高到了 98%，BPD 密度降低到了 7 cm^{-2} 左右。上述主要针对薄外延，并且没有考虑对表面缺陷的控制，本论文针对厚膜外延提出了周期性外延生长，即多次“生长-刻蚀-吹扫”的外延法，不但可以降低 BPD 密度，还可以减少厚外延生长中腔体壁的沉积物，进而减少其诱发的滴落物、三角形等缺陷。

3.4.1 实验设计

实验中，采用衬底为 Cree 的 6 英寸 n 型偏 4° 4H-SiC 单晶，载流子浓度约为 $5E18\text{cm}^{-3}$ 。如图 3.14 所示，为传统外延生长和周期性外延生长的比较。周期性外延生长把传统外延生长分解了多个“生长(Growth)-刻蚀(Etch)-吹扫(Purge)”，简称为“MGEP”法。其作用在于：一，降低 BPD 密度；二，将腔体内沉积物及时蚀刻掉，防止滴落物的产生及其诱导的三角形缺陷。本论文选择了两个周期进行了 6500V 器件用外延材料的生长，并传统外延生长的结果进行了对比。在 $20\mu\text{m}$ 后中断，进行了刻蚀和吹扫工艺，然后继续生长 $50\mu\text{m}$ 。采用 Candela920 对表面缺陷和结构缺陷进行了扫描、测试。

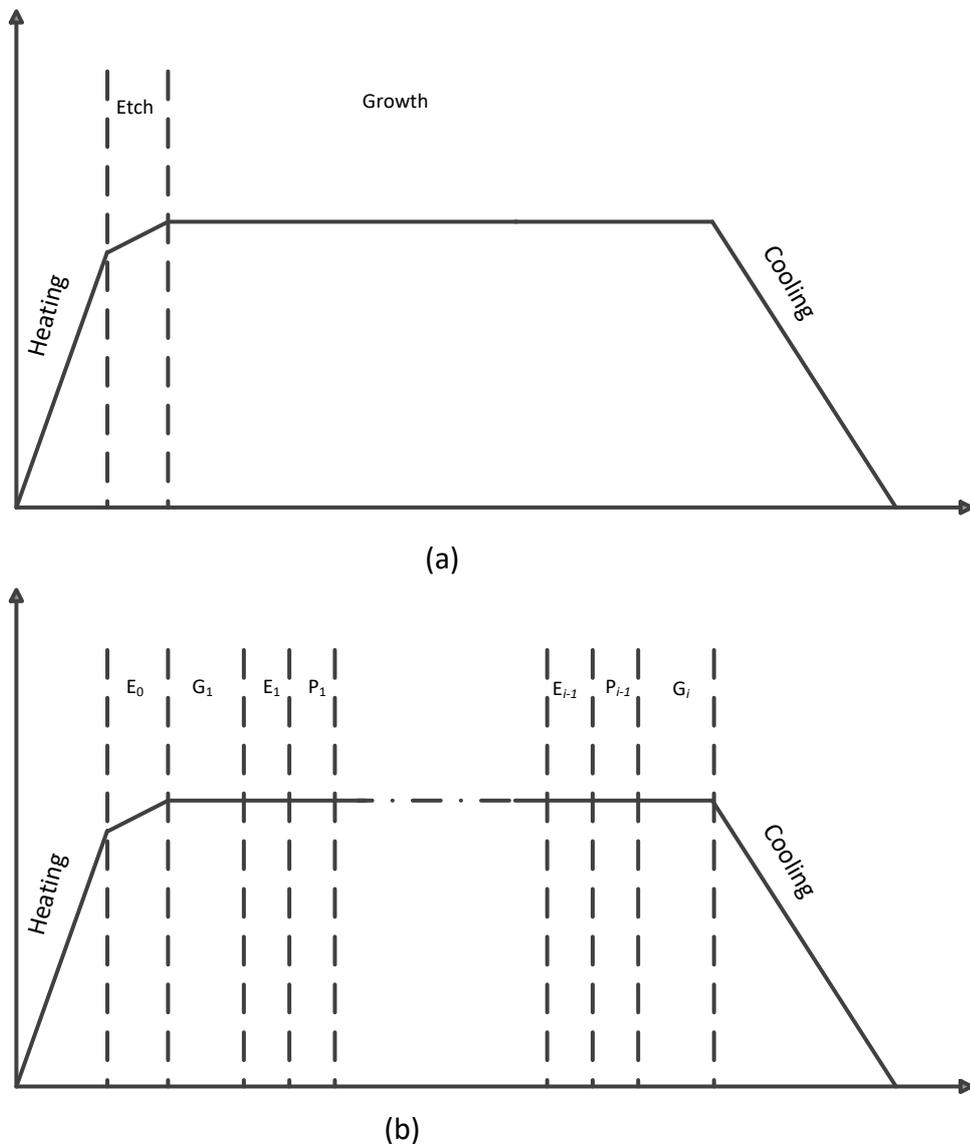


图 3.14 (a)传统外延生长方法(b)周期性外延生长方法

其中：E 代表刻蚀，G 代表生长，P 代表吹扫。

3.4.2 讨论与分析

由于衬底在加工过程中，如果化学机械抛光（CMP）处理不好会引入划痕，使得衬底质量参差不齐，图 3.15，在外延过程中会诱导大量的外延缺陷，故实验前，首先对衬底进行了筛选，挑选了表面处理较好的衬底，如图 3.15 (b)，进行了实验。

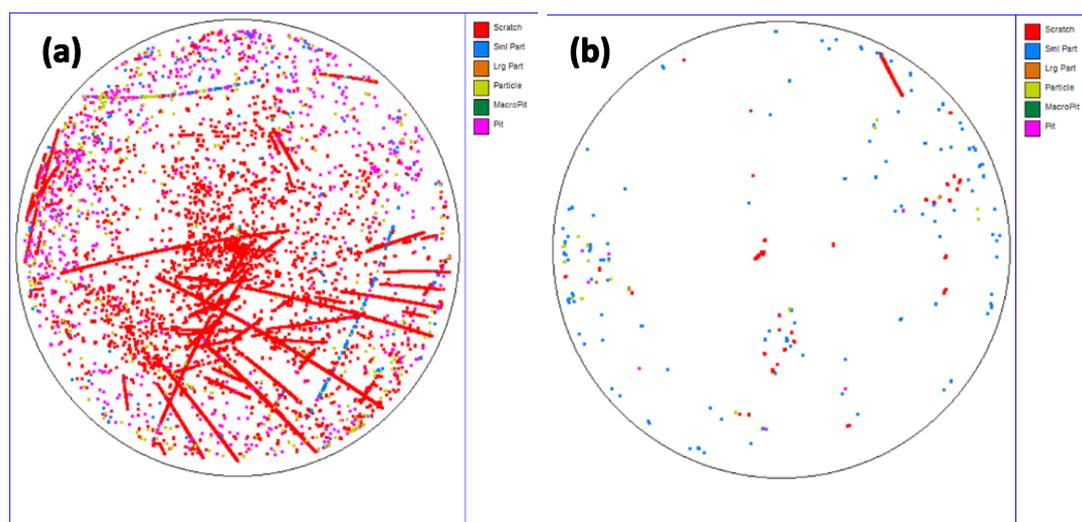


图 3.15 (a)表面处理较差的衬底和(b)表面处理较好的衬底

为了使实验更加接近理想，优化了中间关键步骤-刻蚀工艺。在刻蚀工艺需要特别注意刻蚀的温度和刻蚀的周期。过高温、过长时间的刻蚀可能对衬底表面造成过刻蚀的现象，不利于碳化硅的外延机理-台阶流生长，造成外延片表面的粗糙度不良；反之，如果刻蚀不到位，程度不够，也不能有效的去除有机械加工带来的表面的亚损伤，最终不能实现高质量的外延材料。本实验中，刻蚀温度采用和生长温度一致，即 1650°C ，优化了刻蚀时间。实验发现，时间较短表面出现台阶，时间太长表面严重损伤，如图 3.16。最终为周期性外延选择了 5min 的刻蚀时间。



图 3.16 不同刻蚀时间下样品表面的 AFM 图像

(1) 表面缺陷

图 3.17 (a) 为传统外延生长的 70 μm 的碳化硅外延片结构缺陷 Mapping, 可以发现 BPD 的数量大约在 134 个; 图 3.17 (b) 可以发现表面致命缺陷主要为三角形缺陷, 共计 87 个。这些很多一部分是在外延过程中由于腔体上方掉落的滴落物所诱导形成, 如图 3.17 (b) 的右下图所示。这类头部有异物缺陷, 主要原因是因为在生长过程中遭遇外物, 这种外来物会减慢台阶流速度, 扰乱了台阶流生长模式, 给缺陷形成提供了成核点。外来物一般主要有两个来源: 一外延前衬底表面由于污染已经存在的污染; 二生长过程中, 掉落的杂质, 这种情况在厚膜外延生长中较为常见, 周期性外延技术主要解决就是该类缺陷。这些在器件制备过程中, 会导致器件提前击穿, 并产生漏电, 影响器件的良率, 也会在后期影响器件的可靠性。

图 3.18 为周期性外延生长的缺陷 Mapping 图, 致命缺陷三角形降低到了 24 个, 说明周期性外延通过在外延生长过程中插入刻蚀和吹扫工艺, 在一定程度上抑制了三角形缺陷的生成。

通过与采购的 70 μm 厚度的外延片对比, 如表 3.5 所示, 经过计算表面缺陷(滴落物、胡萝卜、三角形)密度达到 0.17 cm^{-2} , 达到国内领先水平。与国外还有一些差距, 主要是由于采用支撑盘旋转速度不一样。其中, 缺陷密度技术公式为:

$$\text{总缺陷密度} = \text{总缺陷数量} / \text{晶圆面积 (去除边缘 3mm)}。$$

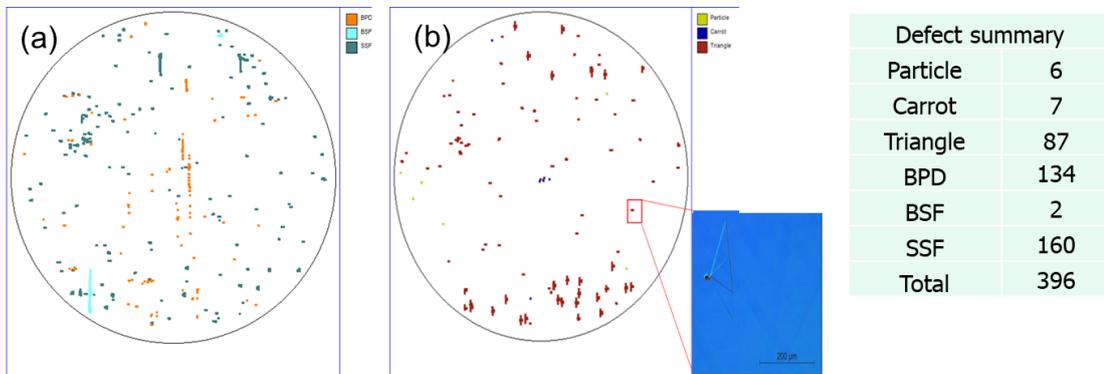


图 3.17 传统外延生长的结果(a)BPD、SSF 分布图(b)表面缺陷分布图

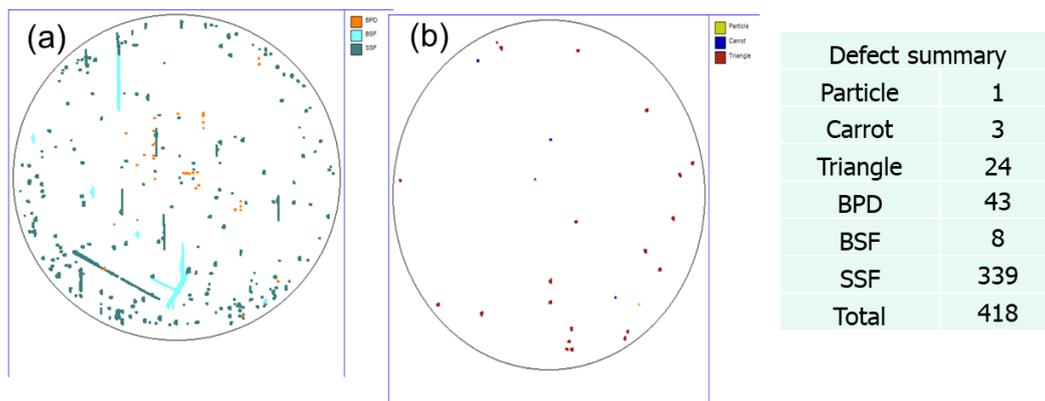


图 3.18 周期性外延生长的结果(a)BPD、SSF 分布图(b)表面缺陷分布图

表 3.5 国内外 70 μm 外延片缺陷水平指标对比

	本论文	国内 A 公司*	国际 A 公司*
滴落物 (个)	1	7	6
胡萝卜 (个)	3	3	4
三角形 (个)	24	26	9
总缺陷密度 ($/\text{cm}^2$)	0.17	0.22	0.12

*数据来源于采购合同

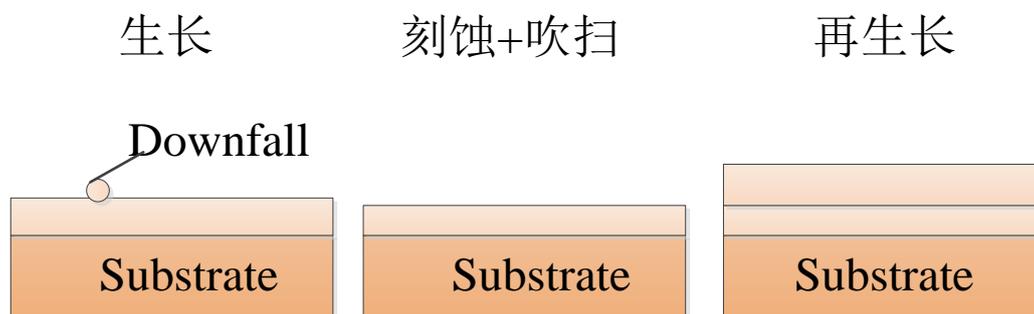


图 3.19 周期性外延生长控制缺陷示意图

图 3.19 对周期性外延生长如何控制缺陷再次做了进一步详细的解释，由于水平腔体的构造在外延生长过程中不可避免会从上壁掉落一些颗粒物或滴落物，但是外延过程引入刻蚀和吹扫工艺，可以在中断过程中及时地把颗粒物处理掉，为了继续外延生长提供良好的表面，根据外延层目标厚度多次重复，即可实现超厚高质量外延材料的生长。

(2) BPD 转化机理

基面位错对电力电子器件的性能有较严重的影响，不但会降低 SiC 双极器件的正向压降，还会为层错的产生提供成核点，从而使 SiC 双极器件的正向电压发生漂移，影响可靠性。外延层生长过程中，会发生基面位错向位错线平行于 c 轴的穿透位错的转化。转化的动力来源于位错引入的缺陷能。由于穿透刃位错较基面位错的对碳化硅

基器件的影响较小,因而促进这种基面位错向穿透位错的转化是控制外延层中基面位错的一种有效手段。

从图 3.14 发现 BPD 数量降低到了 43 个,根据克拉珀定理 (Klapper theorem): 根据伯格矢量守恒的原则,位错在新的生长层中继续延伸,方向为位错线段的弹性能极小方向^[16], BPD 向 TED 转化正是由于缩短了位错线的长度,使得弹性能降低。可以从能量最小化来解释这种转化。

衬底中的位错,在外延层生长过程中会继续生长、延伸,其单位生长长度的弹性能 W 可表达为:

$$W=E/\cos\alpha \quad (3-18)$$

其中 α 表示位错生长或延伸方向与外延层生长方向的夹角,也就是碳化硅衬底的偏轴角度的余角, E 表示单位长度位错线的弹性能。目前所使用的碳化硅衬底都是偏 4 度的,所以基面位错的弹性能表示为:

$$W_{\text{BPD}}=E_{\text{BPD}}/\cos 86^\circ \quad (3-19)$$

如果它转化为刃位错,其弹性能可表示为:

$$W_{\text{TED}}=E_{\text{TED}}/\cos 4^\circ \quad (3-20)$$

如果 $E_{\text{BPD}} \approx E_{\text{TED}}$, 由于偏角为 4 度, $\cos 86^\circ < \cos 4^\circ$, 可以看出来 BPD 转化后,其弹性能得到了降低。所以从能量最小原则推测,大多数的 BPD 在外延过程中都可以转化成能量较低的 TED。周期性外延由于提供更多界面,给 BPD 转化提供了更多的界面,增加了转化几率,从而使得 BPD 的密度实现降低,如图 3.20。根据 $L=W/\tan 4^\circ$ (L : 为 BPD 的长度; W : 为外延层的厚度) 的关系,从 UVPL 图中,可以依据 BPD 的长度来判断 BPD-TED 的转化是否发生在“刻蚀-吹扫”的界面。长度为 $640\mu\text{m}$ 的 BPD, 为从衬底一直延伸到外延层表面; 长度为 $285\mu\text{m}$ 的 BPD, 说明在“刻蚀-吹扫”的界面处转化成为 TED, 如图 3.21。因为中断过程可能实际在产生了多个界面,为 BPD 转化提供了条件。

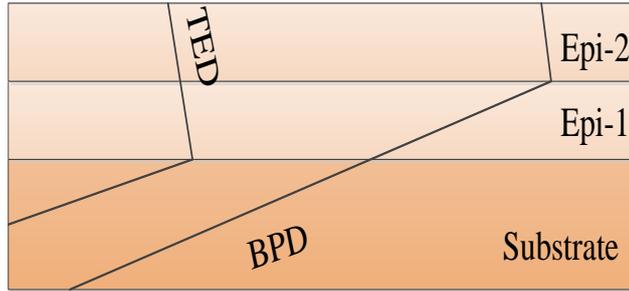


图 3.20 周期性外延中 BPD 转换示意图

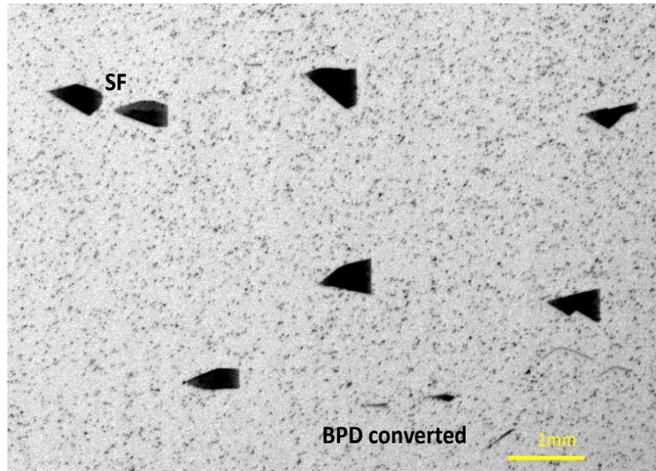
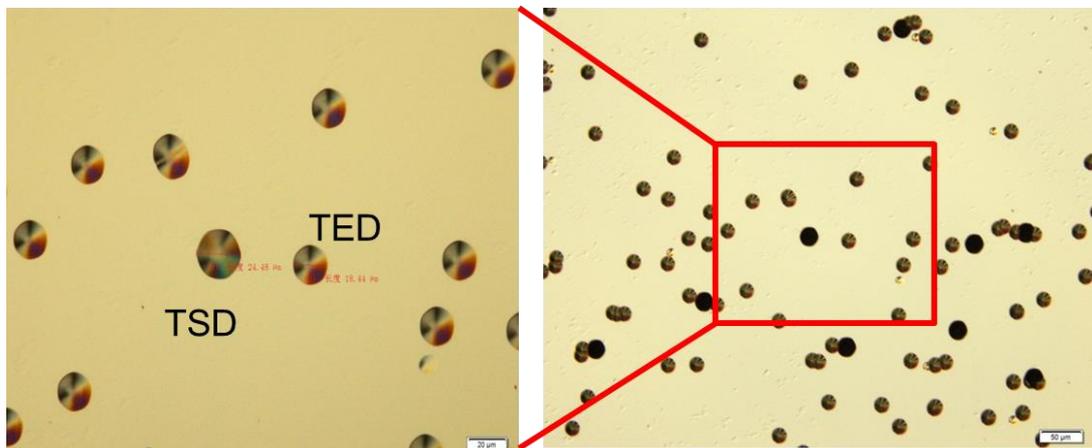


图 3.21 转化后 BPD 的 PL 图

进一步采用熔融腐蚀法进行确认。利用熔融氢氧化钾对外延片进行腐蚀，会在外延层表面位错的露头点形成腐蚀坑。腐蚀温度一般在 450-600°C 左右，时间为几分钟到十几分钟。腐蚀坑大小在微米量级，大的六角形腐蚀坑代表的是柱面螺位错，小的六角形腐蚀坑代表的是柱面刃位错，贝壳状腐蚀坑代表基面位错。表面露头的微管也会在腐蚀之后留下一个六边形腐蚀坑，尺寸比之前提到的几种更大。在晶片的中心和边缘各选取一个区域进行切割，并腐蚀，如图 3.22 所示。相对 TED、TSD，BPD 数量已经很难发现。进一步确认了 BPD 缺陷密度得到了降低。



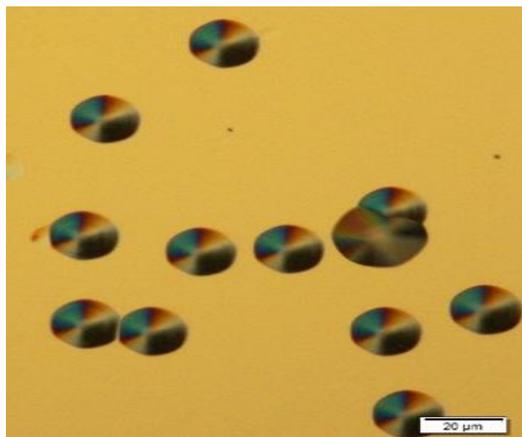


图 3.22 晶片中心和边缘腐蚀结果

3.5 大尺寸高均匀性厚膜外延生长

为了满足电网大电流的需求需要开发大面积的芯片，采用大尺寸晶片可以使得大面积的芯片的加工成本更低，对工业化推广有非常现实的意义。本实验是在目前业内先进 6 英寸碳化硅衬底上开展研究的。

高均匀性的 SiC 外延层是保障 SiC 器件性能一致性的关键。随着尺寸增大，均匀性控制也越来越难。为了适应工业化的需求，SiC 外延生长厚度和浓度的不均匀性方面的指标也越来越严格。良好的厚度和掺杂浓度均匀性不仅可以降低批量生产中器件性能的离散，同时还可以提高器件的一致性、合格率、可靠性。因此，工业生产中的产品技术的竞争点之一就是如何提高 SiC 外延片厚度及掺杂浓度的均匀性，这也是厚膜 SiC 外延中需要突破和掌握的关键核心技术，因为随着厚度的加大和浓度的降低，其均匀性控制也越来越难。厚度的均匀性主要由反应室的结构，气流场和温度场的分布，工艺过程等方式决定。掺杂均匀性除了以上的影响因素外，C/Si 比工艺参数对其影响也很大。

为了统一表述，一般厚度不均匀性的计算公式为：

$$T_V(t) = \frac{\sqrt{[\sum_{i=1}^N (t_i - \bar{t})^2] / (N-1)}}{\bar{t}} \times 100\% \dots \dots \dots (3-21)$$

式中：

$T_V(t)$ 一外延层厚度相对标准偏差，通常以百分数表示；

N 一测试点数；

t_i 一第 i 点的外延层厚度，单位为微米 (μm)；

\bar{t} 一外延层厚度的平均值。

掺杂浓度不均匀性的计算公式为：

$$C_V(c) = \frac{\sqrt{\frac{\sum_{i=1}^N (c_i - \bar{c})^2}{N-1}}}{\bar{c}} \times 100\% \dots \dots \dots (3-22)$$

式中：

$C_V(c)$ 一外延层掺杂浓度相对标准偏差，通常以百分数表示；

N 一测试点数；

c_i 一第*i*点的外延层掺杂浓度，单位为每立方厘米（ cm^{-3} ）；

\bar{c} 一外延层掺杂浓度的平均值。

本文，主要研究了气流场对厚度均匀性的影响。外延片厚度及浓度的不均匀性主要是生长源和掺杂源在气流流动方向上的耗尽导致了气体流动上局部各点的生长速率及掺杂浓度是一个随着位置而变化的量，通过关闭气浮旋转气流可以得到各类源在反应室内原始的耗尽方式，如图 3.23。尤其是大尺寸晶片上会更加严重。

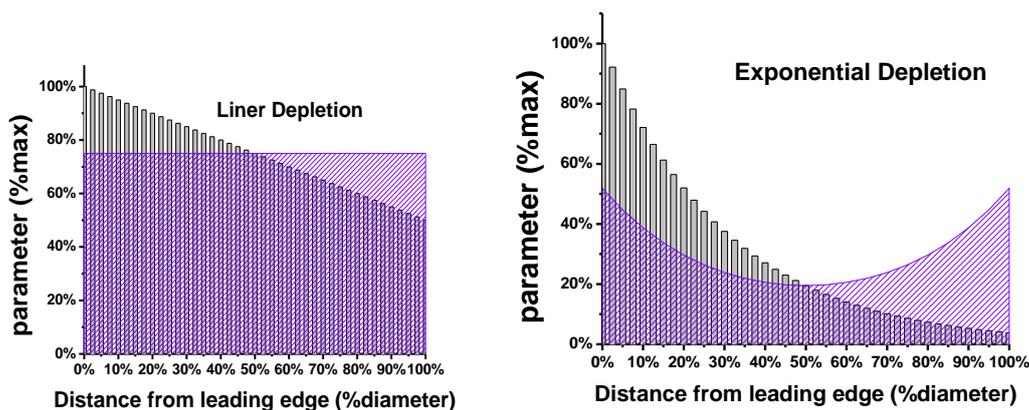


图 3.23 耗尽曲线不同位置衬底上方掺杂源的分布

为了提高均匀性，通过改变进气端 C/Si 比，主氢流量、氩气流量可以改变源耗尽方式，使其趋于平坦，一般设备都对基座做旋转设计，典型的外延工艺下基本能够实现厚度均匀性和掺杂浓度均匀性，但是要进一步提升指标，就需要通过优化工艺参数来解决，一般结构方面不太容易做大的改进和优化。

3.5.1 实验设计

实验使用 LPE106 外延设备进行 4H-SiC 的同质外延生长，该设备背景掺杂浓度可以达到 $2\text{E}13\text{cm}^{-3}$ 以下^[168]，生长温度为 1650°C ，生长压力为 100mbar，支撑盘转速为 60rpm，TCS 为硅源， C_2H_4 为碳源，C/Si 比设为 1， N_2 为 n 型掺杂源。样品为 4H-

SiC, 6 英寸, 导电型碳化硅衬底。外延层的厚度有 FTIR 光谱仪测得, 其均匀性由 3-21 式算出, 外延层的掺杂浓度由汞探针测得, 其均匀性由 3-22 式算出。

LPE1O6 的气流入口主要有 3 路, 如图 3.24, 中间一路 C, 两侧两路 L 和 R。

本实验主要通过调节中路和两边反应气流的流量, 优化 L、C、R 三路的气流分布来增大边缘的有效反应, 进而改进厚度和掺杂浓度的均匀性, 实验条件如表 3.6。

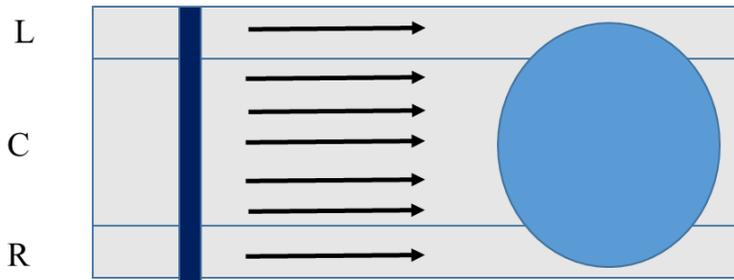


图 3.24 LPE1O6 的气流分布图

表 3.6 均匀性改进实验条件

	L(sccm)	C(sccm)	R(sccm)
优化前	0	60	0
优化后	17	54	17

3.5.2 讨论与分析

由于气体的耗尽现象, 在晶片边缘出现掺杂浓度相对较低的现象。如果硅片尺寸较小此影响不大, 生长大尺寸外延时此现象更加突出。

如图 3.25, 在优化前后, 厚度的平均值分别为 $68.68\mu\text{m}$ 和 $68.28\mu\text{m}$, 厚度的不均匀性变化不大, 分布为 1.39% 和 1.21%; 优化前后, 掺杂浓度的平均值分别为 $1.59\text{E}15\text{cm}^{-3}$ 和 $1.01\text{E}15\text{cm}^{-3}$, 优化后略微降低, 这是工艺波动引起的。其不均匀性改进较大, 分别为 6% 和 2.5%, 其改进主要来源于两侧气流对边缘耗尽做了补充。

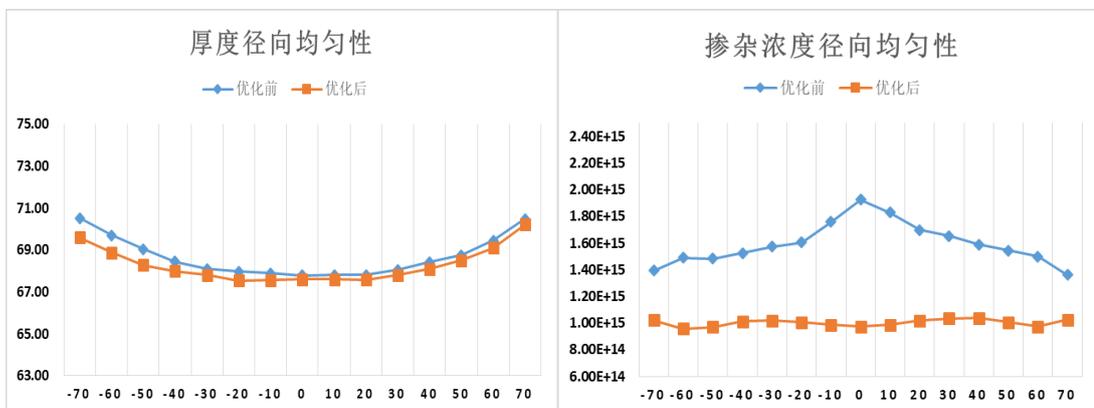


图 3.25 厚度和掺杂浓度不均匀性

表 3.7 国内外 70 μm 厚度外延不均匀性指标对比分析

	本论文	国内 A 公司*	国际 A 公司*
厚度不均匀性	1.21%	1.46%	1.17%
掺杂浓度不均匀性	2.5%	2.71%	2.05%

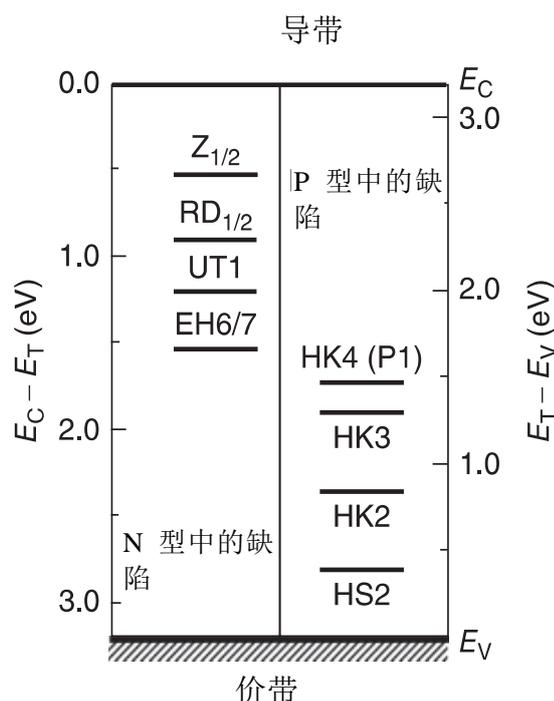
*数据来自某公司采购合同。

通过与采购的 70 μm 厚度的外延片对比，如表 3.7 所示，厚度均匀性和掺杂浓度不均匀性分别达到 1.21% 和 2.5%，达到国内同行领先水平。

3.6 少数载流子寿命研究

SiC 双极型功率器件（如 IGBT、PiN、Thyrisitors）是超高压电网领域应用的主要器件形式。与单极器件不同的是，双极器件由于具有电导调制效应，可以实现更小的功率损耗。但是其对外延材料的少子寿命有着较高的要求，因为它直接影响双极器件的开态和开关特性。要获得理想的正向特性，少子寿命至少要大于 5 μs ^[169]。同时，过长的少子寿命并不一定可以获得良好的导通特性，对 200 μm 的外延层，少子寿命大于 5 μs 后，对正向压降的改善基本没有贡献^[170]。目前商业中一般碳化硅外延材料的原生少子寿命约为 1~2 μs ^[64]，远远达不到双极器件的需求，需要进一步提升，所以研究增强少子寿命技术是非常必要的。

SiC 外延材料中，存在着许多本征缺陷，它们在能带中的位置如图 3.26 所示^{[49][50][171][172][173][174]}。这些本征缺陷是深能级缺陷的主要来源，对 SiC 外延材料的少子寿命有着严重的影响。其中，Z_{1/2}（导带下 0.63eV 处）^[49] 以及 EH₆₇（导带下 1.55eV 处）^[50] 是 4H-SiC 材料中的一种主要的深能级缺陷，浓度高达 $(0.7-1.3) \times 10^{13} \text{cm}^{-3}$ ，是影响 n 型 4H-SiC 外延少数载流子寿命的主要因素。

图 3.26 n 型及 p 型 4H-SiC 外延中主要深能级的能级位置^[175]

大量的研究表明， $Z_{1/2}$ 能级形成与 C 空位有关^{[176][178][179][180]}，被明确为 n 型材料中少子寿命的“杀手”。然而， $EH_{6/7}$ 并不能被认为是 n 型材料少子寿命的“杀手”缺陷，这是因为 $EH_{6/7}$ 不参与复合过程^[175]。所以为了提高少子寿命，需要修复 C 空位，将 $Z_{1/2}$ 中心得浓度降低至 $3E12cm^{-3}$ 以下。目前两种方法，一种方法是：优化外延工艺，因为 $Z_{1/2}$ 极为依赖 C/Si 比^{[181][182]}及生长温度^{[181][183]}，一般，外延生长时降低外延生长温度和提高 C/Si 比都可以减少 SiC 外延材料中 $Z_{1/2}$ 中心的浓度，但是降低幅度有限。另一种方法是后处理技术，主要包括 C 注入^{[184][185]}、高温氧化^{[186][187]}、高温退火^{[188][189]}及电子辐照^[190]等技术。C 离子注入的主要原理是首先通过注入过量的 C 离子，然后在 Ar 气保护条件下，进行高温退火，使 C 离子向材料内部进行扩散，从而填补材料中的 C 空位。高温氧化的机理是：在 SiC 材料高温氧化时，一部分 C 元素以 CO 和 CO_2 气体的形式排出，还有一部分在 SiO_2 氧化层与 SiC 材料的界面处，以间隙 C 离子存在。这些间隙 C 离子再高温的推动下会向 SiC 材料内部推移，从而填补材料内部与 $Z_{1/2}$ 深能级缺陷有关的 C 空位。

除了上述分析的本征缺陷外，一些结构缺陷和位错等也会称为复合中心，影响少子寿命^{[191][192]}。在厚膜外延中，由于外延生长的同时也会在腔体内壁产生沉积物，并会掉落在表面，进而会诱导出很多缺陷，所以分析厚膜中这类缺陷对少子寿命的影响也非常有意义。

3.6.1 厚膜 SiC 外延少子寿命影响因素分析

本文中，采用 μ -PCD 少子寿命测试法结合 PL 光谱重点分析了 20kV 高压器件用

180 μm 的外延材料。

在水平热壁外延炉上制备了 n 型 180 μm 厚的外延材料,掺杂浓度为 $3.7 \times 10^{14} \text{ cm}^{-3}$ 。衬底为 4H-SiC, 4° 偏角。外延生长时,采用 TCS 作为硅源、乙烯作为碳源。氮气为掺杂气体。在室温条件下,采用 μ -PCD 测试了少数载流子寿命。自由离子采用 355nm 的激光器激发产生。为了深入地研究,用 PL 图像和少子寿命 mapping 图做了对比分析。并用 SEM、STEM 确认了缺陷的晶体结构。

如图 3.27 (a) 所示,样片表面布满了三角形缺陷。一部分头上有异物的三角形缺陷来自滴落物^[193]。图 3.27 (b) 和 (c) 分别为整片表面的少子寿命 mapping 和 PLmapping 图。原生的 180 μm 的外延材料的平均少子寿命为 2.59 μs 。分布状况是,中心高,边缘较低。这是因为边缘位错较多所致。可以发现在没有缺陷的区域,少子寿命比较高。同时还发现三角形缺陷所在的地方少子寿命非常低。

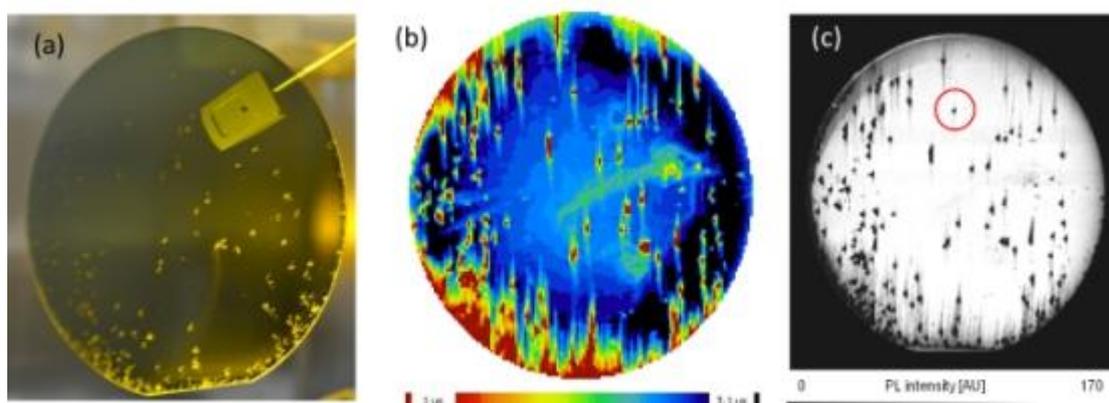


图 3.27 (a) 三角形缺陷的显微镜照片(b)少子寿命分布图和 (c)PL 分布图

图 3.28 为无缺陷区 (P1), 三角形周边 (P2) 及三角形表面 (P3) 的信号衰减曲线。整个曲线分为初期快速衰减和缓慢衰减两部分。在无缺陷区,少子寿命为 3.02 μs 。在三角形表面和周边的少子寿命分别为 0.77 μs 和 1.34 μs 。在三角形表面的曲线开始急速衰减,是因为表面复合比较严重。

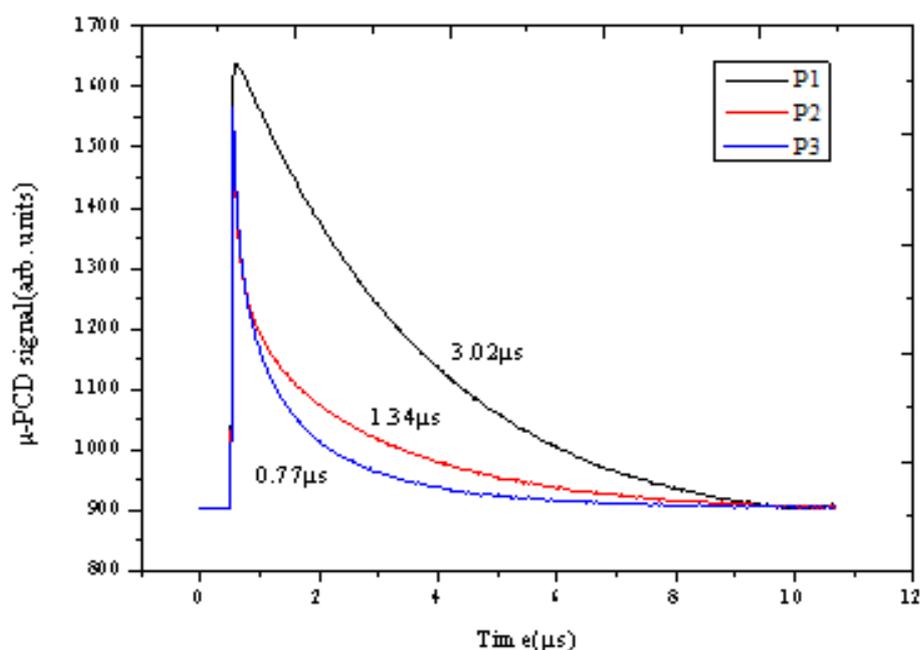


图 3.28 室温下的 μ -PCD 衰减曲线.无缺陷区(P1),三角形表面(P3) 和三角形边缘(P2)

为了进一步确认少子寿命降低的原因,采用 PL 对三角形进行了局部分析,如图 3.29 所示。图 3.29 (b) (c) (d) 为单色 PLmapping 图,激光波长分别为 390nm, 420nm, 540nm。对于完美的 4H 晶型,会在 390nm 出现一个峰^[194],和带边发光有关。从图 3.29 (b) 可以看出 P1 处强度较强,因为是无缺陷,完美的 4H 晶型。

P2 处在 420nm 波长发射了荧光,如图 3.29 (c) 所示。Hoshino 认为 420nm 处的峰是和原生层错有关的^[195]。Odawara 发现 540nm 处的峰是来自 3C 的特征峰^[196]。所以可以推断 P3 区域是 3C 晶型,结合图 3.28 的结果,可以得出一个结论:在厚膜外延中,相对层错,三角形缺陷对少子寿命的影响更加严重,与崔的报道一致^[197]。也就是说,降低三角形缺陷对提高厚膜外延的少子寿命将会有一定的益处。

同时,结合 Raman 进一步做了确认,如图 3.30,通过 Raman 光谱发现,在 P1 处发现了完美 4H-SiC 的特征峰 761 和 950 cm^{-1} 。在 P2 处也发现 4H-SiC 的特征峰,但是强度较弱,表示不够完美。在 P3 处发现 3C-SiC 晶型的特征峰 782 和 960 cm^{-1} 。

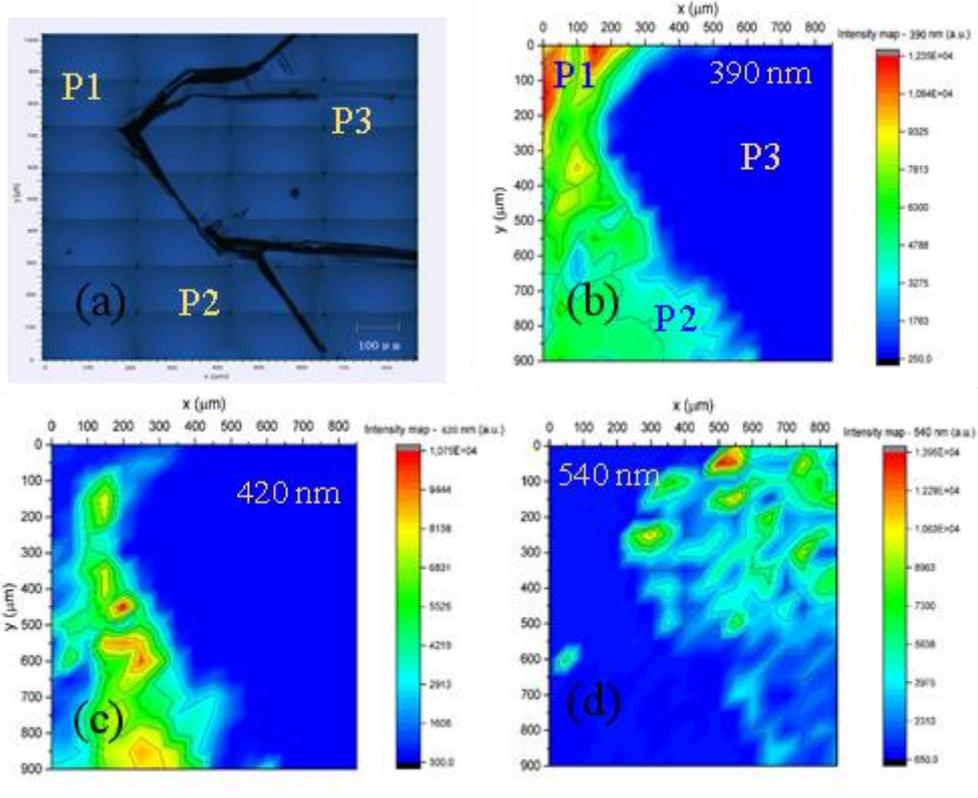


图 3.29 (a) 三角形缺陷的显微镜照片, PL 强度的分布图 (b) 390nm, (c) 420nm and (d) 540nm

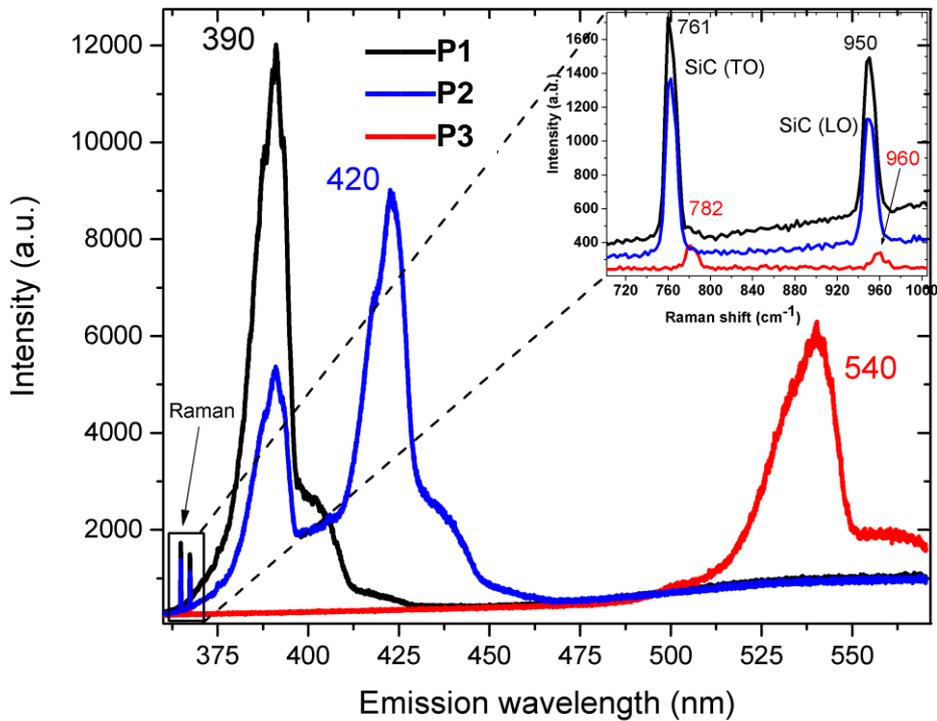


图 3.30 P1、P2、P3 位置 PL 和 Raman 光谱

有研究表明，三角形周围一般带有层错^{[198][199]}。为了进一步深入研究，对局部采用 PL 和 STEM 样品对样品做了进一步分析。如图 3.31 PL 光谱显示在存在大量的层错。图 3.32 所示证实了在三角形内部存在 3C 晶型。进一步通过了明场 (BF)-STEM (图 3.32 (b)) 和 (HAADF)-STEM (图 3.32 (c)) 分析了 3C 和 4H 晶型的界面。图 3.32 (c) 清晰地证明了 3C 的存在。

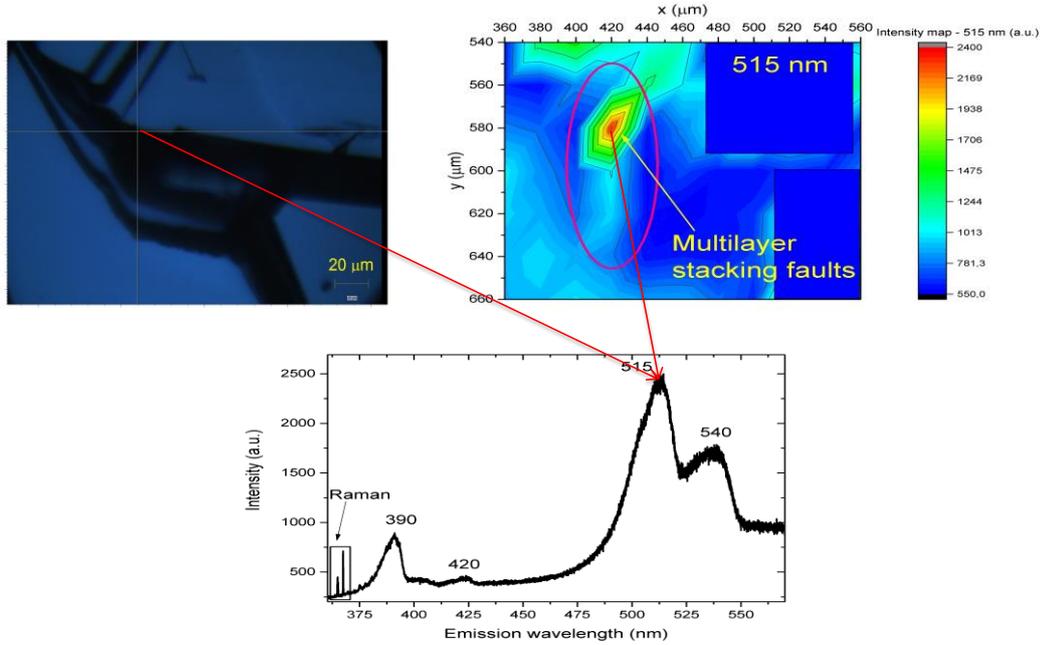


图 3.31 三角形边缘的 PL 谱图

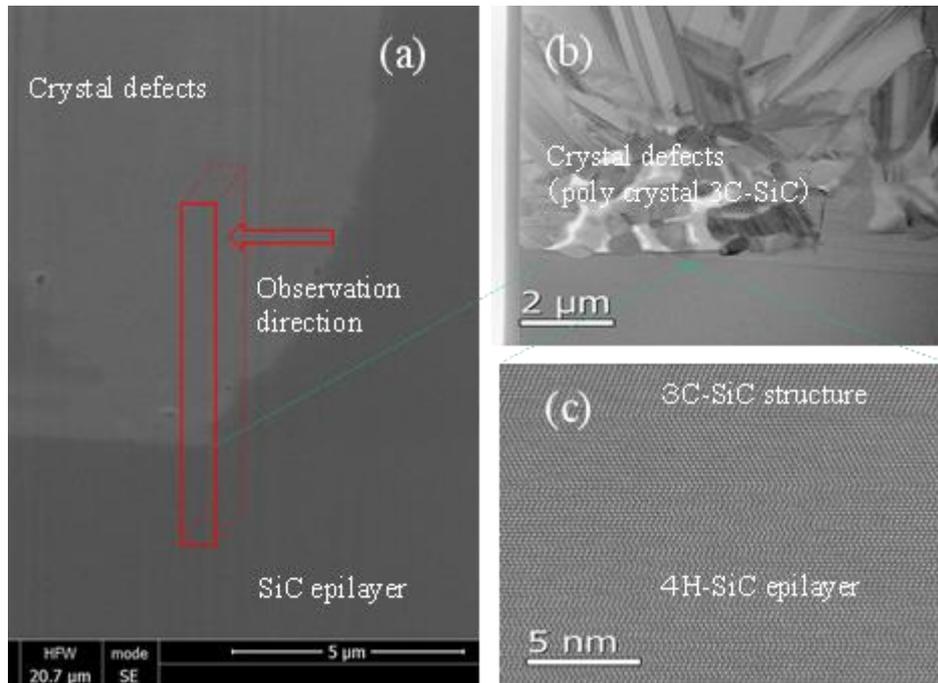


图 3.32 三角形缺陷的 SEM 图像和 STEM 图像. (a) 三角形缺陷的 SEM 图像, (b) 3C-SiC 和 4H-SiC 界面的 BF-STEM 图像和 (c) 3C-SiC 和 4H-SiC 界面的 HAADF-STEM 图像

3.6.2 增强少子寿命的技术研究

如前面所述,国外经过多年研究已经得到,高温氧化是目前改善少子寿命的主流技术之一。但是,国内在此方面的研究才刚刚起步,缺少相应的设备,相关的技术工艺还在摸索阶段。

(1) 高温氧化、退火工艺

本文对 $180\mu\text{m}$ 厚的 SiC 外延材料,氧化温度为 1400°C ,氧化时间为了 5 个小时(受实验条件限制)。之后,在外延炉中进行了退火处理,温度为 1670°C ,时间了 30 分钟,气氛为氩气,压力为 600Torr 。研究了氧化前后少子寿命的变化。

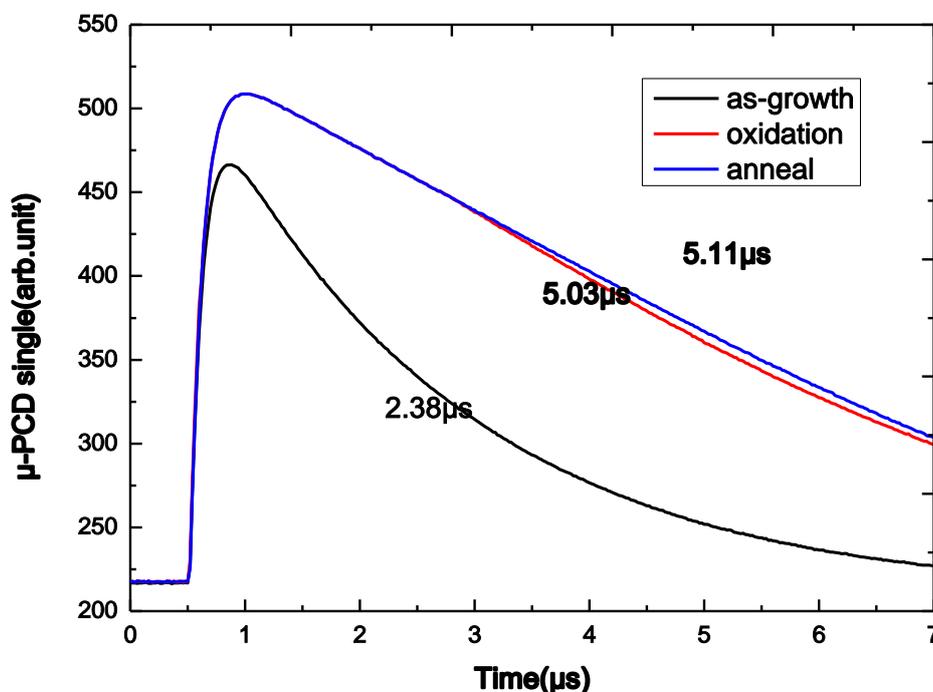


图 3.33 氧化前、氧化后、退火后少子寿命衰减曲线

高温氧化工艺增强少子寿命机理是:第一性原理计算表明 C 空位是不可移动的^[58],所以要修复 C 空位,只能推动 C 原子移动来修复 C 空位。在 SiC 外延材料高温氧化的过程中,表面生成一层 SiO_2 氧化层,使 C 离子不能以气态形式 (CO 和 CO_2) 排出,而在 SiO_2 氧化层与 SiC 外延的界面处,以间隙 C 离子形式存在。这些间隙 C 离子在高温的推动下会向 SiC 外延内部扩散,修复了材料内部与 $Z_{1/2}$ 深能级缺陷有关的 C 空位。其机理如图 3.34 所示^[178]。

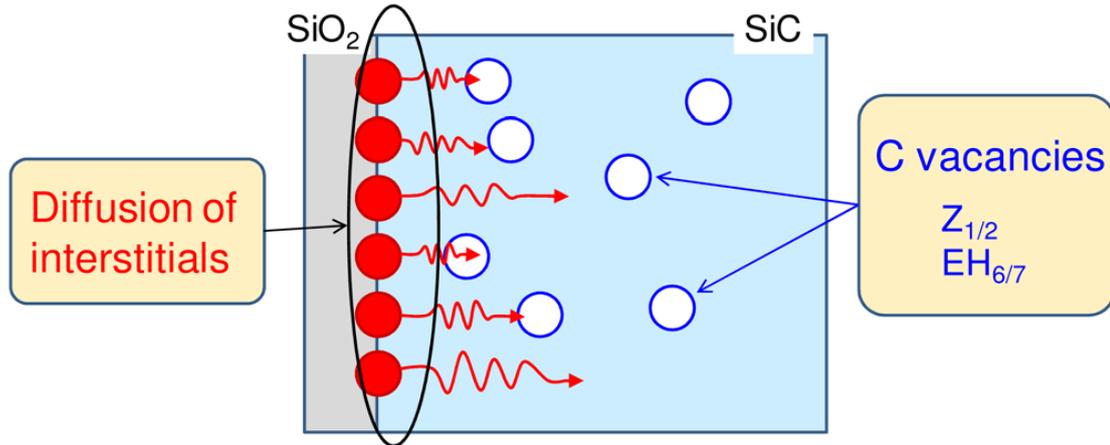


图 3.34 高温氧化法增强少子寿命的机理示意图

由于实验条件的限制，本实验进行了 5 个小时，图 3.33 为氧化前后样品的 μ -PCD 的测试结果，可以发现通过氧化工艺，少子寿命从 2.38 提升到了 5.03 μ s，退火后基本没变化为 5.11 μ s。但是和文献报道的结果(26.1 μ s)还存在差距^[177]，这主要是氧化持续时间不够引起的（文献中进行 48 小时的超长时间氧化），不能进一步消除碳空位。但是提升到 5 μ s 基本可以满足 20kV 高压器件的需求。

(2) 化学机械抛光

一般通过 μ -PCD 测得少子寿命和体少子寿命和表面少子寿命有关，如式

$$\frac{1}{\tau} = \frac{1}{\tau_b} + \frac{1}{\tau_s} \quad (3-23)$$

其中 τ_b 为体少子寿命； $\tau_s = \frac{d_{eff}}{2S} + \frac{(\frac{d_{eff}}{\pi})^2}{D}$ 为表面少子寿命，主要受表面复合速率 S 的影响； D 为扩散常数；

前面所述大量的研究关注如何降低点缺陷，以提高体少子寿命。如上式所述表面复合对少子寿命也存在影响，但是对表面少子寿命的研究却比较少，即降低表面复合速率 S 的技术。A.Galeacks^[200]研究发现经过机械抛光处理过的碳化硅晶片表面复合率是 $5 \times 10^5 \text{cm/s}$ ，外延生长后，表面复合率大约是 $5 \times 10^3 \text{cm}^{-3}$ 。在 n 型碳化硅外延材料中，当外延层的厚度较薄时（一般小于 5 μ m），表面复合对少子寿命的影响不大，反之，当外延层的厚度较厚时（一般大于 100 μ m），表面复合率对少子寿命的影响比较大。^[201]Masashi 等人评估了表面复合速率，发现经过 CMP 处理的表面复合速率要比未处理的外延片的表面复合速率低。本文，通过化学机械抛光技术对 180 μ m 厚的外延材料表面进行处理，降低表面复合速率 S ，来增强少子寿命。如图 3.35，图 3.36 通过对比发现，化学机械抛光处理后，少子寿命从 1.22 μ s 提高到了 1.53 μ s，提高了 25%，如图 3.37。并且发现处理之后，更加重要的是整片的少子寿命分布更加均匀，这可能是由于 CMP 修复了表面缺陷，提高表面粗糙度，降低了缺陷处的表面复合速率，这对于提高器件性能的一致性有良好的作用。如图 3.38 所示，在晶片下半部分

分布有大量的表面缺陷。

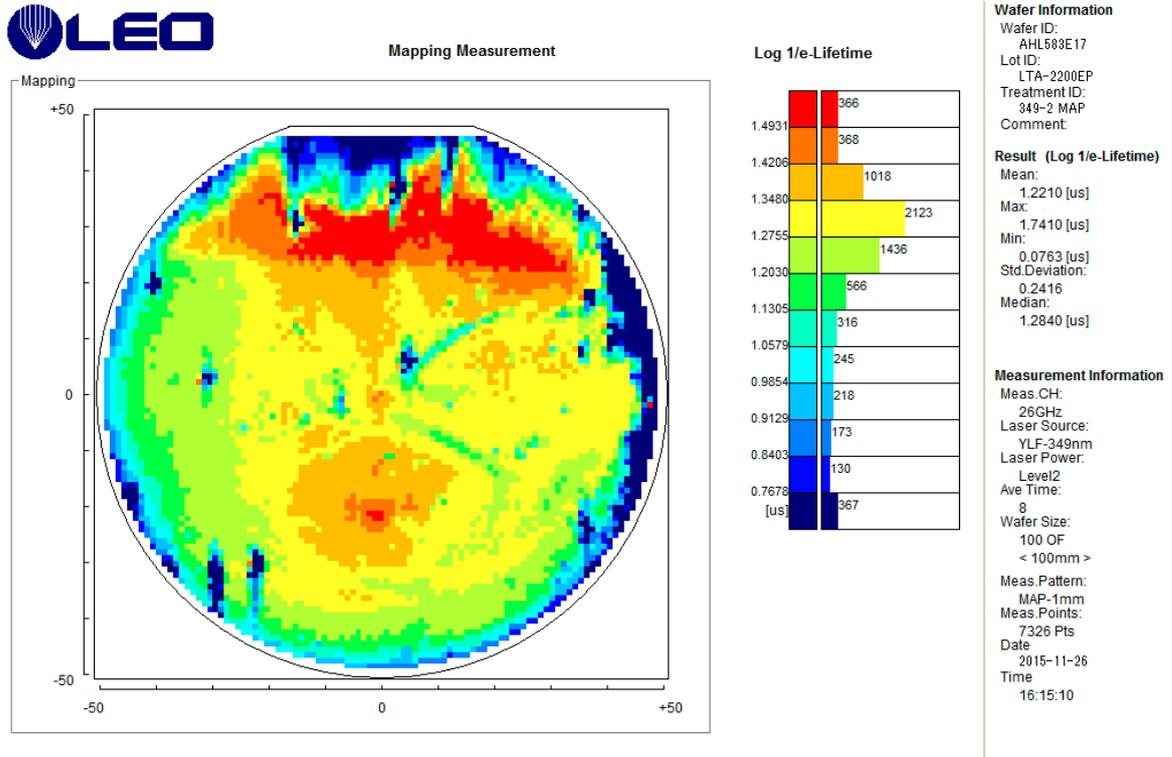


图 3.35 未经过 CMP 处理的少子寿命 mapping 图（平均值 1.22 μ s）

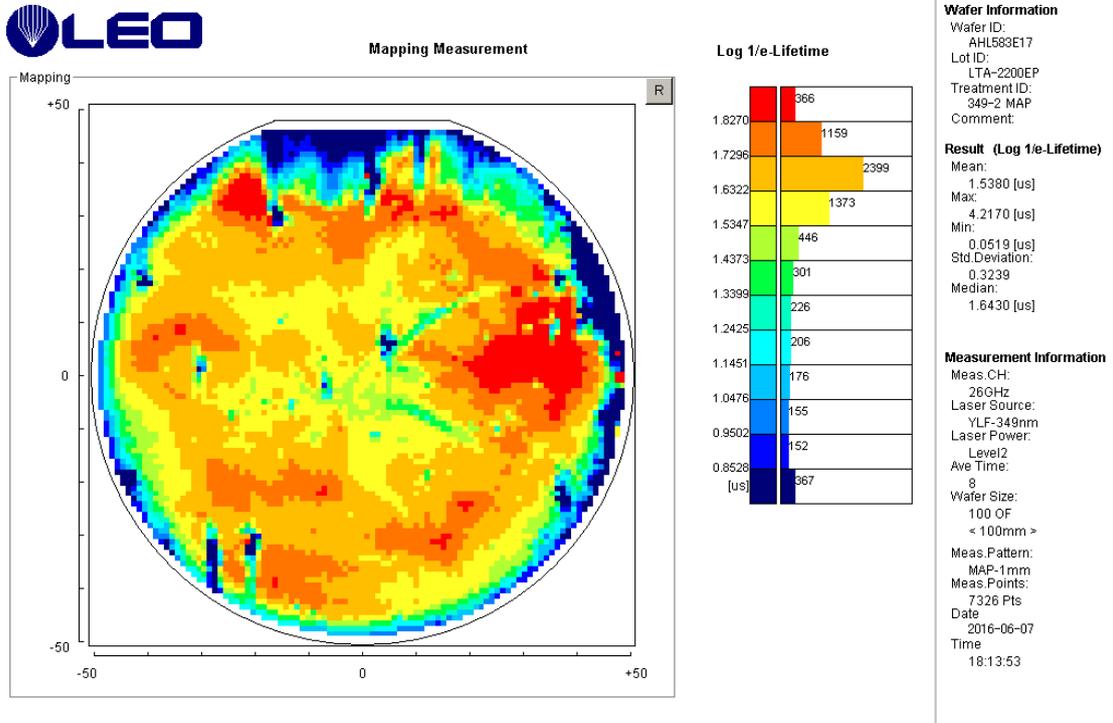


图 3.36 CMP+退火处理后的少子寿命 mapping 图（平均值 1.53 μ s）

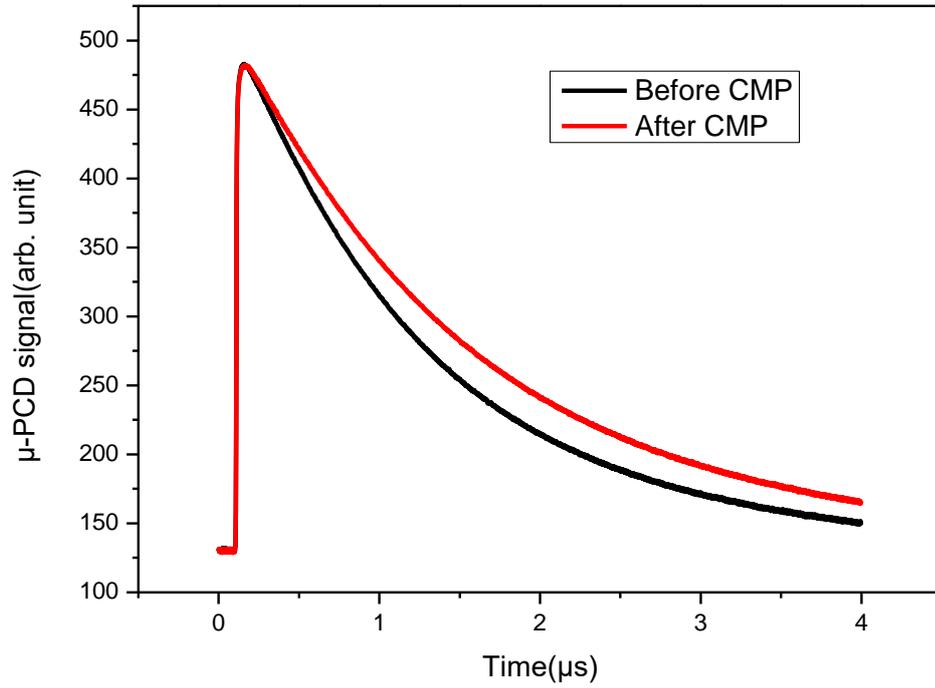


图 3. 37 CMP 前和 CMP 后少子寿命衰减曲线

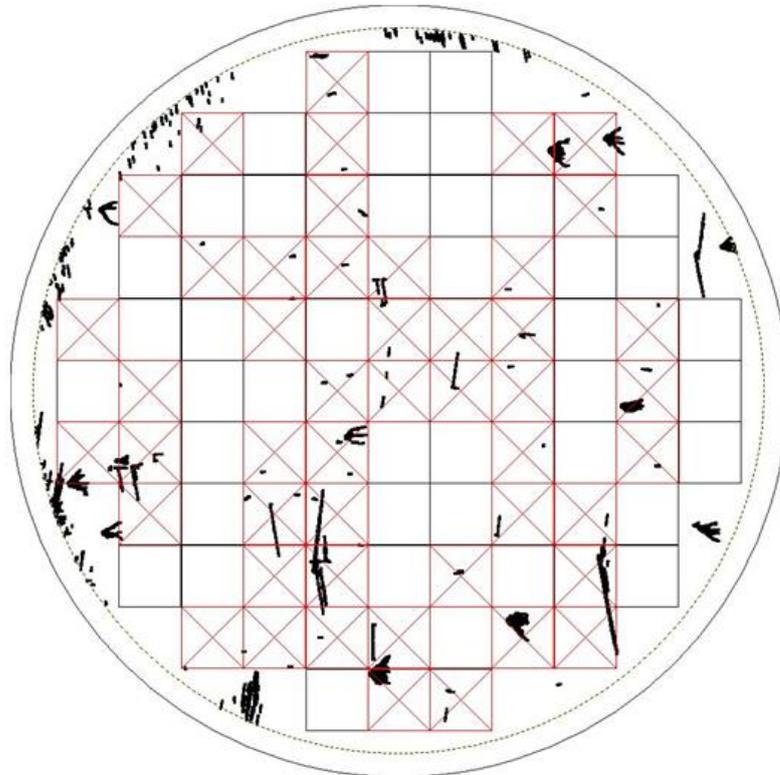


图 3. 38 Candela 测试表面缺陷

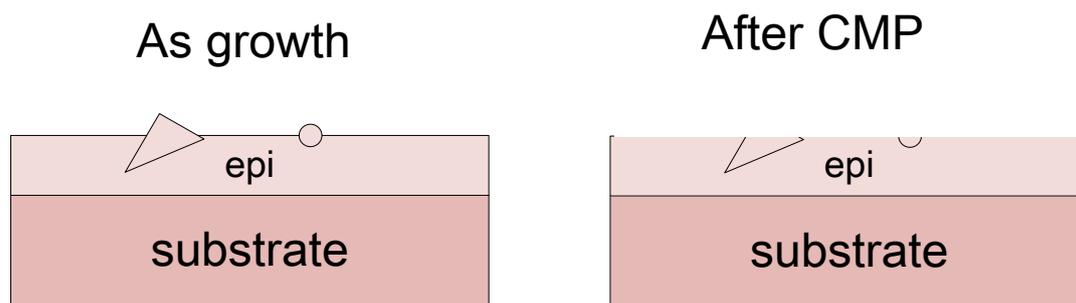


图 3.39 CMP 修复表面示意图

CMP 带来少子寿命的提升, 说明了 CMP 可以有效降低表面复合率 S 。实际上, 如此厚碳化硅外延片表面含有大量表面缺陷, 如台阶聚集、三角形缺陷等, 如图 3.38。可以推测, 如此多的缺陷会在表面形成复合中心, 影响少子寿命, 经 CMP 修复可以修复表面状况, 提高表粗糙度, 有效的降低表面复合率 S 。原生厚膜碳化硅外延的表面复合率为 $5000\text{cm/s}^{[202]}$, 经过 CMP 后表面复合率降低到 $1000\text{cm/s}^{[201]}$, 根据下式 S 降低有利于提高少子寿命。

$$\frac{1}{\tau_s} = \left(\frac{d^2}{\pi^2 D} + \frac{d}{2s} \right)^{-1} \quad (3-24)$$

公示中最后一项代表表面复合的贡献, 其中, S 为表面复合率, d 为外延层的厚度, D 为 4H-SiC 中空穴的扩散系数。

(3) 外延工艺参数优化

如果能在外延生长过程中通过优化工艺来增强少子寿命, 对于双极器件制备来说将可以大幅度地降低制造成本。2009 年, Shirivastava^[203]通过采用带有 TaC 涂层的支撑盘和氯基反应源获得了 $9.9\mu\text{s}$ 高的少子寿命。也有大量的研究通过调节非氯基气氛中的外延生长工艺参数, 如生长温度和 C/Si 比^{[181][182]}等对深能级缺陷的影响。发现降低生长温度和提高 C/Si 比都可以减少外延材料中 $Z_{1/2}$ 中心的浓度。

本文在前人研究的基础上, 固定其他工艺条件, 通过调节氯基反应气氛的生长温度和 C/Si 参数研究了其对少子寿命的影响。在厚膜的快速生长速率下, C/Si 的工艺窗口比较窄^[204], C/Si 过大过小都会影响严重影响表面质量, 所以选择 0.77-1 范围进行实验。

表 3.8 氯基反应体系下, 不同工艺条件对少子寿命的影响

编号	生长温度 $^{\circ}\text{C}$	C/Si 比	平均少子寿命 μs
1	1650	0.77	0.59
2	1640	0.77	0.50

3	1650	1	1.02
---	------	---	------

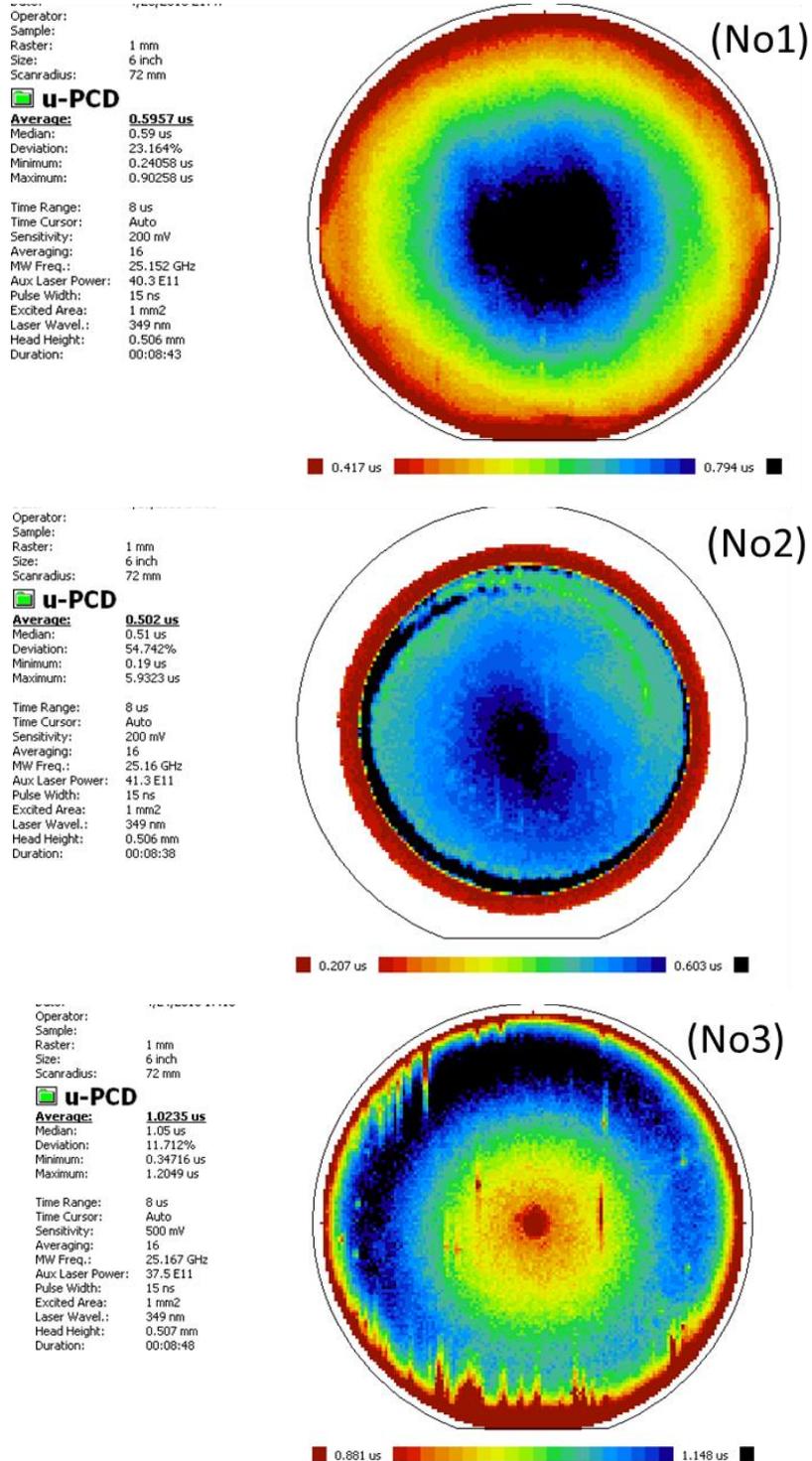


图 3.40 不同工艺条件下的少子寿命 mapping 图

从实验结果看，降低生长温度少子寿命略微降低；增大 C/Si 比对增强少子寿命有一定的效果。这主要是因为富 C 环境下生长，可以抑制碳空位形成。可以推测

$Z_{1/2}$ 的浓度也比较低。也证实了通过优化工艺来提升少子寿命，带来的效果有限，但是这也是目前的常规外延的水平，必须加后处理技术。

从三种方法来看，高温氧化对少子寿命的提升幅度最大，但是高温氧化由于要长时间的工作，对设备内部的部件要求较高，在此基础上做了高温退火，结果略有提高；其次是化学机械抛光技术，工艺可以借鉴单晶衬底的抛光技术，但是改善幅度有限，目前仍达不到器件制备的要求；通过外延工艺参数调整，改善幅度也有限，难于满足器件的要求。从改善的角度来看，高温氧化和外延工艺参数调整都是为了改善体少子寿命，而化学机械抛光主要是降低表面复合率，改善表面少子寿命。从结果看，当前只有高温氧化可以将少子寿命提高到 20kV 高压器件的需求值（5 μ s）。

3.7 本章小结

本章主要围绕高压大功率器件的需求，针对的开展了大尺寸厚膜 SiC 外延关键技术。首先，通过仿真技术研究了硅烷流量对生长速率的影响，并进行了实验验证；其次研究了生长速率对外延片表面形貌的影响，发现随着生长速度的提高，4H-SiC 的外延表面的台阶聚集现象逐渐增加，原子表面经历了由微小型台阶、小型台阶到大型台阶的演变过程，同时表面粗糙度也逐渐增加。再者，研究了生长温度对硅滴形成的影响，提出了硅滴形成的机理。再者，对本论文中提出的周期性外延生长技术开展了研究，发现周期性生长的刻蚀和吹扫工艺，在一定程度上抑制了三角形缺陷的生成，表面缺陷技术水平达到国内领先水平。同时，在一定程度上基面位错缺陷也得到了降低。通过调节气路，在 6 英寸 71.6 μ m 的外延材料上得到了 1.21% 的厚度均匀性和 2.5% 的掺杂浓度均匀性，达到国内同行领先水平。最后，分析了影响超厚外延材料的少子寿命因素，发现在厚膜外延中，相对层错，三角形缺陷对少子寿命的影响更加严重。同时，还探索了增强少子寿命的方法，如高温氧化、化学机械抛光以及外延工艺，发现通过高温氧化可以满足高压器件对少子寿命的需求（5 μ s），化学机械抛光和优化工艺对提升少子寿命有限。

第四章 p 型 SiC 外延生长技术

SiC 器件分为单极性器件和双极性器件：单极性器件开启电压小，没有少子存储效应，开关速度快，频率特性好，但不适于制作高压器件，一方面是因为单极性器件在高反向偏压下漏电较大，另一方面是因为器件在正向导通状态没有少子注入，通态电阻较大；因此高压碳化硅二极管一般是双极性器件，其中的 p 型层可以通过离子注入或外延生长实现，离子注入工艺通常给碳化硅材料表面造成损伤，而通过外延生长形成的 p 型不会给晶格带来损伤，并且具有较高的离子激活率。所以研究 p 型外延材料对制备高性能的高压电力电子器件有重要的意义。

但是 p 型外延还有一些问题需要解决，一是 p 型掺杂浓度的准确控制，由于三甲基铝 (TMAI) 在常温下为液态，需要通过复杂的鼓泡系统，并选择合适的蒸气压和温度，才能保证按照工艺的要求提供合适的源流量，满足掺杂浓度的目标控制；二是缺陷控制，由于 Al 原子的直径比硅和碳都大，Al 的掺入会导致晶格发生畸变，引入层错，三角形缺陷，以及各种点缺陷。这些缺陷会导致外延层的质量变差，并可能影响器件的电学性能。

4.1 p 型外延掺杂机理

原位掺杂是在材料生长过程直接将激活的 p 型杂质(B、Al 原子)掺入材料内部，来控制材料的导电类型和电阻率。在 SiC 的化学气相外延中，对 n 型一般用 N₂ 源或 NH₃ 源掺氮；对 p 型则用 BH₃ 做源掺 B，或者用 AlCl₃ 或三甲基铝做源掺 Al。

由于 B 的激活能太大，因此经常使用的 p 型掺杂剂是 Al 元素，一般采用三甲基铝做掺杂剂。在 SiC 外延生长中，Al 杂质元素融入 SiC 晶格的过程为替位方式，因此需要与基体原子发生竞争，即所谓的竞位掺杂技术。具体而言，对 n 型掺杂，施主杂质 N 原子占据 SiC 晶格中的 C 位，N 原子需要与 C 原子竞争，所以 N 原子的掺杂效率直接取决于气相中 C 原子与 Si 原子的比例，即 C/Si 原子比率。同样，Al 原子的掺杂效率也直接取决于气相中 C 原子与 Si 原子的比例，如图 4.1 所示。

在具体外延生长过程中，随着气相中 C 源含量的增大，外延层中 n 型 N 原子掺杂剂的浓度相对减小，C 原子有更多的机会占据外延层中的 C 晶位。同样，随着气相中 Si 源含量的增大，外延层中 p 型 Al 原子掺杂剂的浓度则相对减小，Si 原子有更多的机会占据外延层中的 Si 晶位。因此气相中 C/Si 原子比率是 SiC 外延生长的一个重要工艺参数。

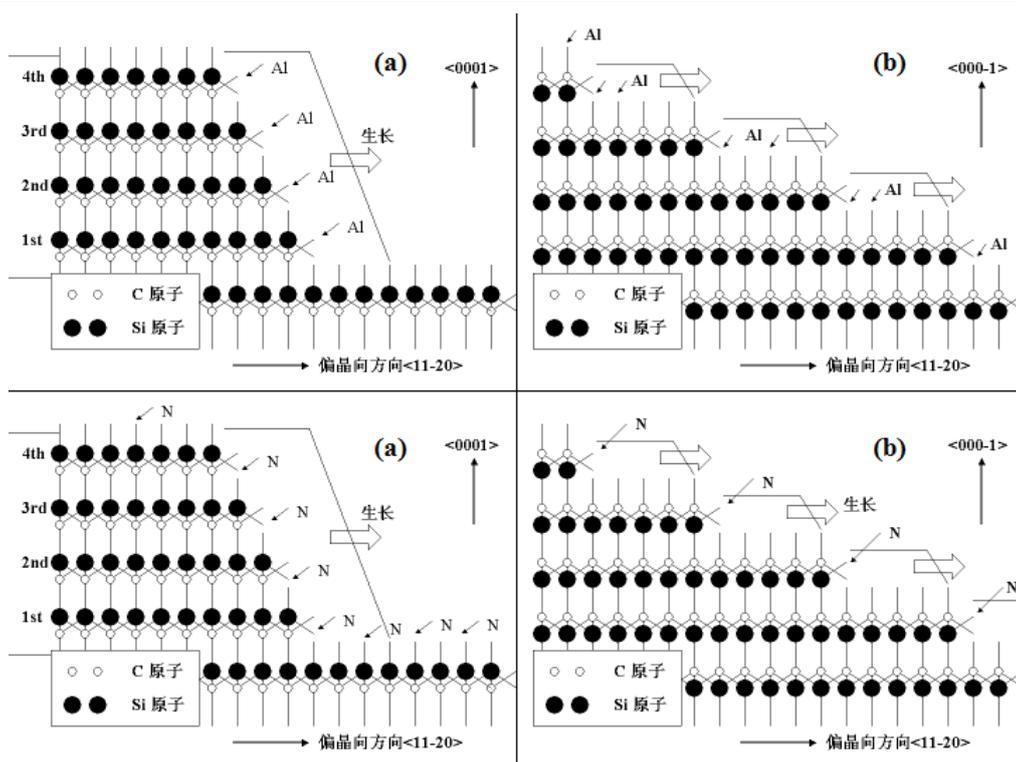


图 4.1 SiC 的 Si 面和 C 面上 n 型和 p 型掺杂机理

通常，生长 SiC 外延膜时提供 Si 原子和 C 原子典型的气体源是硅烷和丙烷。竞位外延主要是通过调整生长反应气体中 Si 原子和 C 原子的比例来有效控制目标杂质进入 SiC 晶格格点。所竞争的格点位置是位于 SiC 晶体活跃生长表面上的碳格点或硅格点。在 SiC 外延生长过程中 N 原子和 C 原子形成格点位置的竞争，Al 原子和 Si 原子形成格点位置竞争。如果希望减少掺入外延生长层的 n 型(N)杂质浓度，可以通过增加气体源中 C 原子浓度使 C 原子在和 N 原子对 C 格点位置的竞争中取得优势来实现。类似的，可以通过增加生长反应室中的气体硅源可以使 Si 原子在和 Al 原子对格点位置的竞争中占优势以实现减少 P 型杂质 Al 数目的目的。

竞位外延可以用来控制 SiC 外延生长层中替位式掺杂的杂质浓度,可以有效排除轻掺杂外延生长过程中非故意掺杂的 SiC 外延生长层中的杂质原子。

碳化硅的前驱生长气体主要为乙烯和三氯氢硅，采用氢气作为载气，使用三甲基铝作为 p 型的掺杂源，利用 H_2 气体作为载气，在 1630-1670°C 的温度下，将反应源前驱气体乙烯 C_2H_4 和三氯氢硅 TCS 输送到生长室内的热区，通过扩散、吸附、分解、迁移、脱附、再扩散等过程连续不断地在 4H-SiC 衬底表面生成 4H-SiC 晶型的外延层的方法。

4.2 实验设计

本实验采用 CVD 方法，利用意大利 LPE 106 型碳化硅外延设备进行 P 型外延生

长, LPE 106 设备采用单腔单片热壁反应设计, 使用 load lock 取放晶片, 每次可以生长 1 片 4-6 英寸的碳化硅外延片。通过机械手臂将外延片从 load lock 中将晶片传送至炉腔内, 炉腔内在不生长时保持温度在 600°C 。将晶片放入炉腔内后即可升温至 $1630\text{-}1670^{\circ}\text{C}$ 开始外延生长, 在升温过程中, 炉腔压力保持在 100pa , 并且持续通入载气 H_2 , 载气 H_2 不仅可以输送前驱气体, 还可以对晶片进行表面蚀刻。由于 p 型外延生长是在 n 型外延片上进行的, p 型外延层的掺杂浓度无法直接测试得出, 外延厚度也会因为外延片的变形出现较大的偏差, 因此本实验拟通过历史 C-V 测试数据和 SIMS 检测数据, 拟合得出 p 型外延的掺杂量。p 型外延生长前并没有缓冲层生长, 得到 p-n 过渡界面的掺杂浓度变化是非常陡峭的, 如图 4.3 所示。

此次 P 型外延制造是在进行过一次外延的外延片上进行的二次外延, 在实验前需要对外延片进行前期的基本参数检测, 包括外延层厚度、外延层表面缺陷及分布、外延层掺杂浓度等。在检测过程中, 外延片表面不可避免的会产生污染, 还需要对外延片进行清洗, 以减少对二次外延的影响。

4.3 p 型掺杂浓度的控制

本实验采用 Semilab MCV530-L 汞探针测试仪测量外延层的载流子浓度。并结合 SIMS 实验数据进行了校准。

得出 p 型三甲基铝掺杂量和载流子浓度的关系如图 4.2, 从图中我们可以看出, 在 $1\text{E}16\text{-}1\text{E}19\text{ cm}^{-3}$ 范围内, p 型掺杂源的流量和载流子浓度之间基本呈线性关系, 由此我们可以通过调整 p 型掺杂源的流量来控制载流子浓度。所以在硅面上比较实现得到可控掺杂浓度的 p 型外延, 并且在高流量下没有发现超线性状况, 说明从 TMA 中释放出来的 CH_3 , 在硅面上并没有影响实际的 C/Si 比。

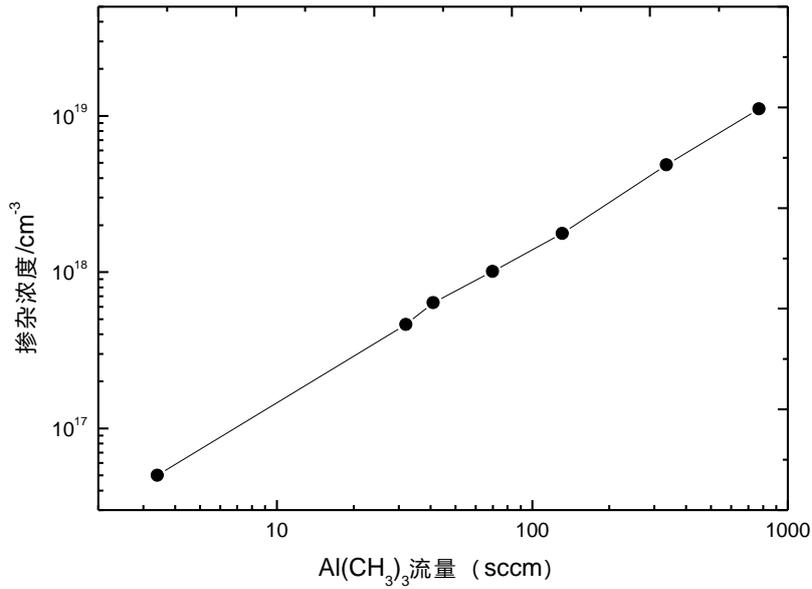


图 4.2 载流子浓度和 TMA 的关系图

由于 SIMS 测试破坏性，没有对所有样品进行校对，选取了实验目标值 $1e18\text{cm}^{-3}$ 实验条件：Al 掺杂量 60sccm 的样品进行了 SIMS 校对，SIMS 测试值为 $9.4E17\text{cm}^{-3}$ ，高度吻合，SIMS 测试数据如图 4.3。

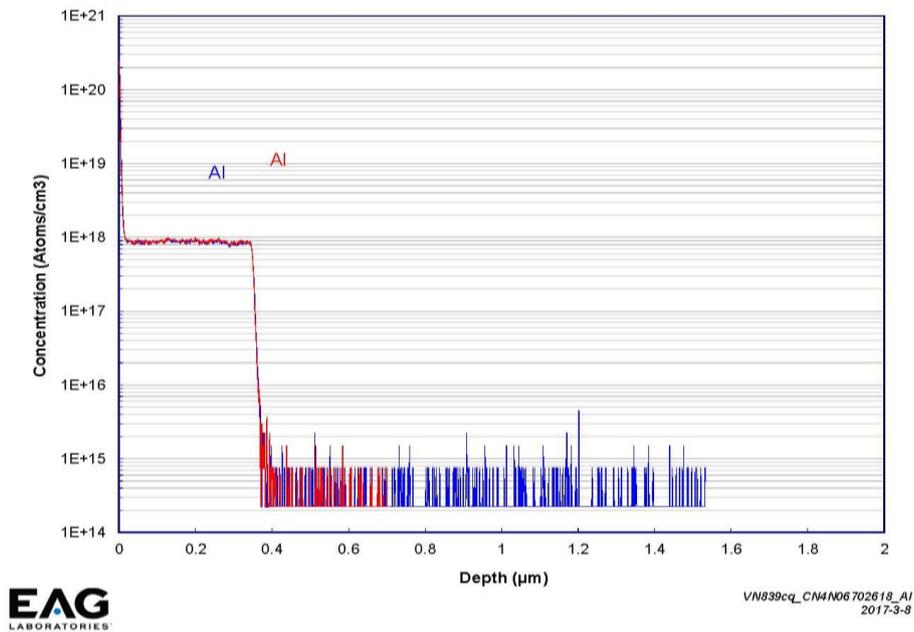


图 4.3 SIMS 校准实验测试得到的载流子浓度（实验目标值 $1e18\text{cm}^{-3}$ ）

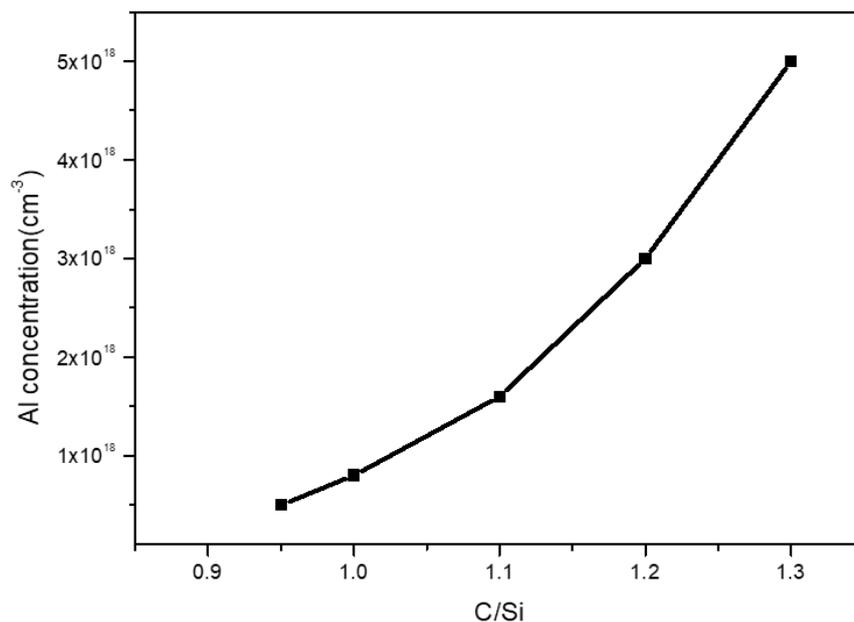


图 4.4 C/Si 比对 Al 掺杂浓度的影响

基于竞位外延技术，研究了 C/Si 对掺杂浓度的影响。图中可以发现随着 C/Si 比的增大铝的掺杂浓度不断提高，符合竞位外延理论。Si 和 Al 原子相互竞争，较高的 C/Si 比有利于提升 Al 原子在晶格中与 Si 原子的竞争能力。

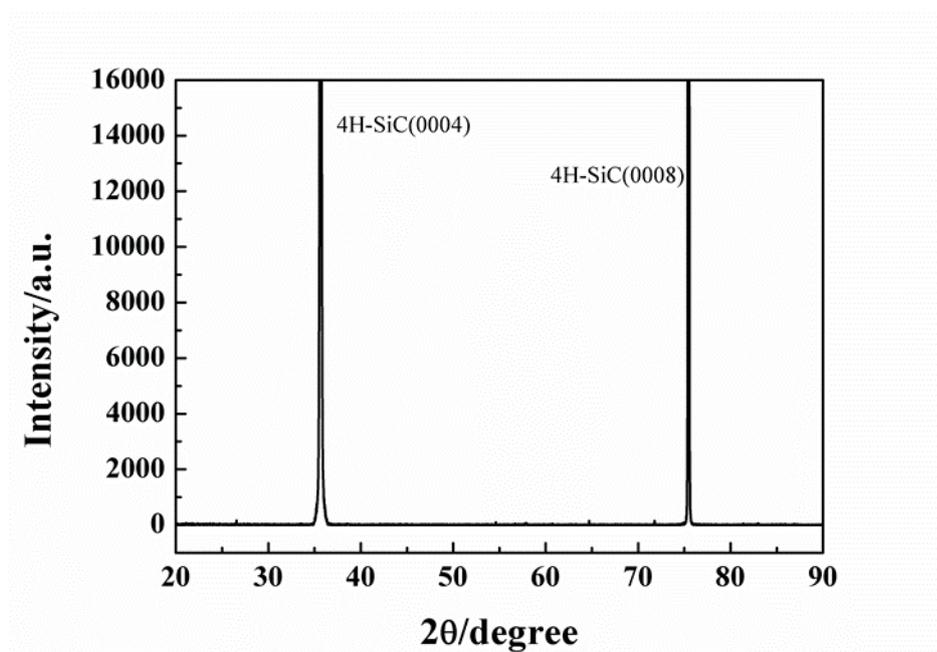


图 4.5 样品的 X 射线衍射图谱

为了进一步表征 4H-SiC 外延层的晶体质量，对样品进行了 X 射线衍射测试，结

果如图 4.5 所示,图谱中只出现了 35.3 和 75.2 两个衍射峰,分别对应 4H-SiC (0004) 和 (0008) 面衍射峰,说明外延层为 4H-SiC。

4.4 p 型外延后缺陷的演变

为了方便观察外延前后缺陷变化,分别在外延前后进行了 Candela 测试。与在 n+ 衬底上生长 n 型外延不同的是,在 n 型外延片上生长 p 型外延前,表面状况不一样,因为 n 型外延已经存在一些表面缺陷,如三角形缺陷、胡萝卜缺陷等。在其表面生长 p 型外延时,这些缺陷会再次生长,或者演化为别的缺陷,最终会导致 p 型缺陷密度增加。如图 4.6 所示,从表面缺陷看,p 型外延后表面三角形有所增加,这主要是由于外延前表面颗粒物较多,在外延过程中容易诱发形成三角形缺陷。所以对 p 型外延生长和 n 型外延一样,需要对外延前表面进行处理,并加强对腔体内部的洁净度,来控制表面缺陷的形成。最终在预测合格率指标(芯片面积 8x8mm)看,由于表面缺陷的增加,导致合格率约 20 个百分点的降低。

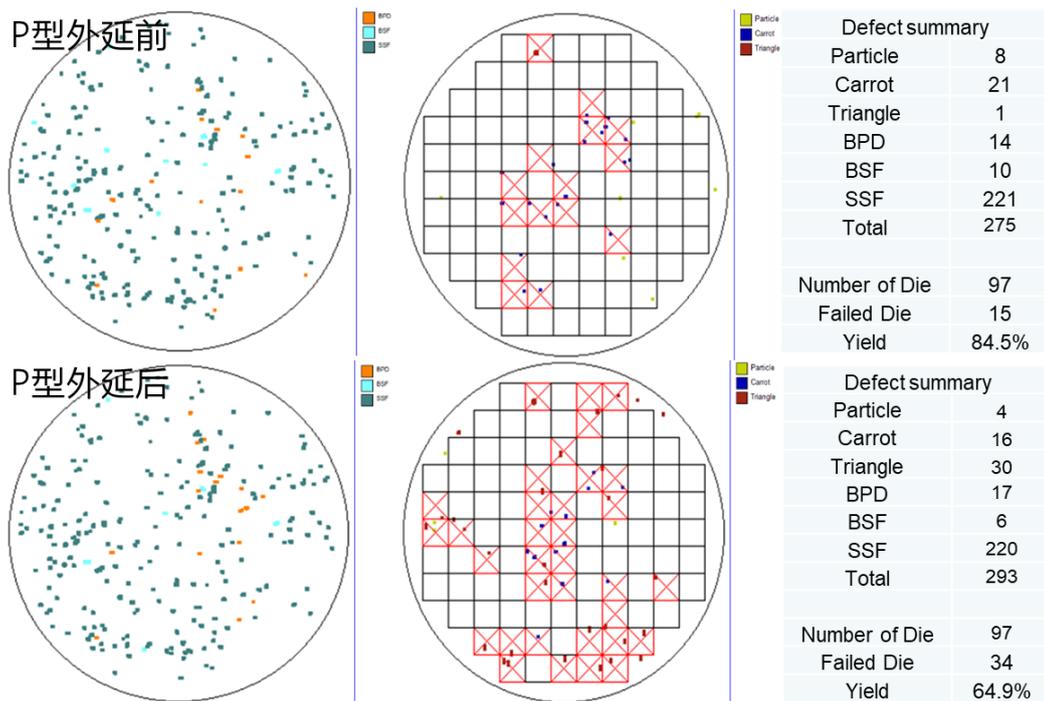


图 4.6 p 型外延前后缺陷分布对比

为了降低缺陷,将周期性外延生长技术中的刻蚀和吹扫工艺引入到了 p 型外延生长中,其中执行次数为一次,不会对厚度和掺杂浓度产生影响,如图 4.7 所示。由于引入了刻蚀和吹扫工艺,如图 4.8 可以发现形貌缺陷基本没有改变,但是由于 Al 原子的直径比硅和碳都大,Al 的掺入会导致晶格发生畸变,更容易引入位错、层错等缺陷。综合来看分析,采用周期性外延技术后,对合格率(表面缺陷)影响不大,P 型

外延后只有 2% 的损失。

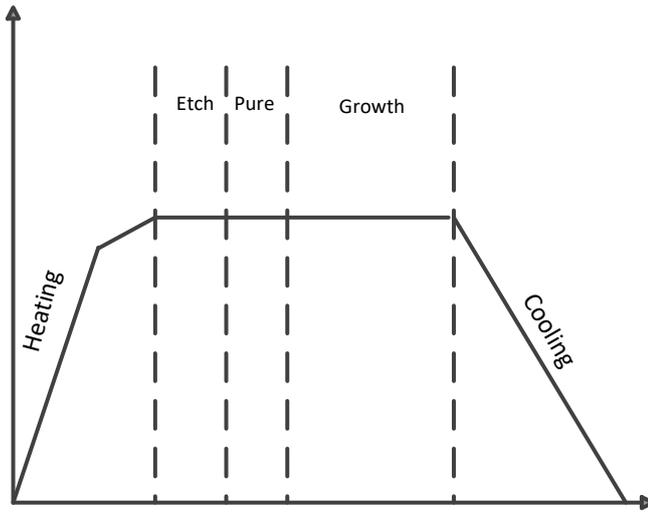


图 4.7 新的 P 型外延生长工艺

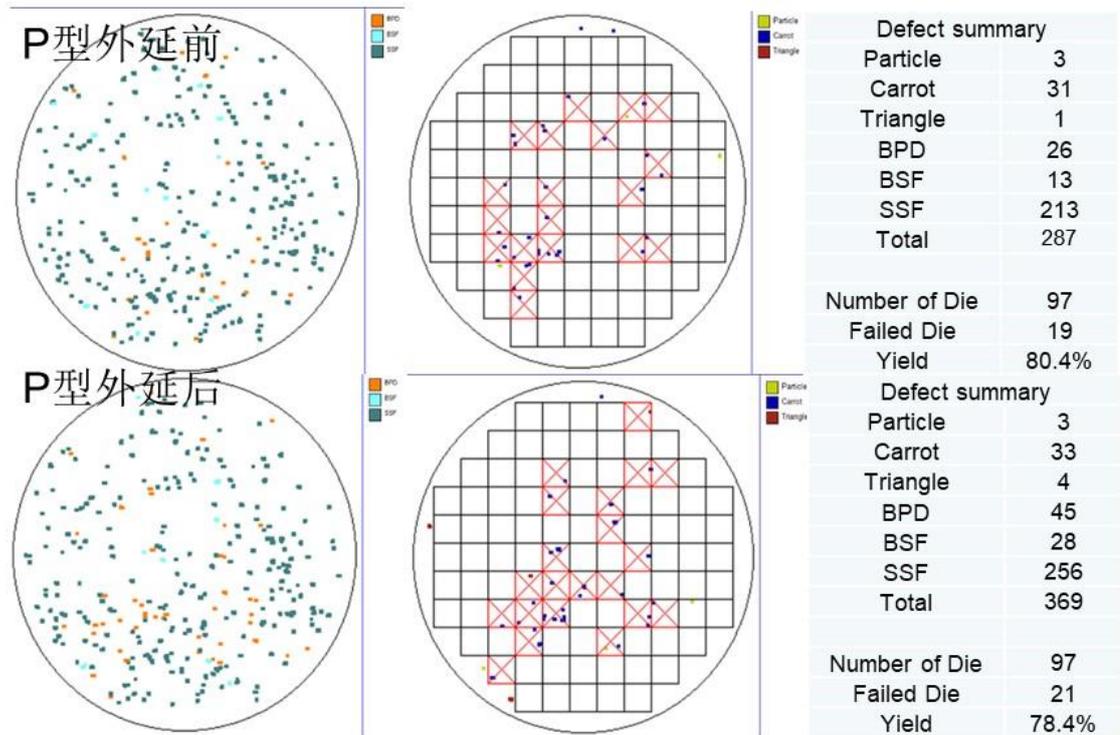


图 4.8 采用周期性外延生长的 p 型外延前后缺陷分布对比

4.5 P 型外延中 Al 原子掺杂带来的应力释放问题

4.5.1 缺陷形式释放-层错形成机理

由于在 SiC 晶体中层错的形成较低（在 4H-SiC 中约为 14mJ/m^2 ）^[205]，层错是 SiC 晶体中一种常见缺陷。由于 Al 原子和 Si 原子的半径差异比 N 和 C 之间的差异大，所以在 P 型外延中由掺杂造成的应力会更加严重，造成晶格失陪。导致内部结构缺陷

(位错)相对有所增加。Ho^[206]推测由于 Al 掺杂产生的晶格应力在界面处形成位错得到释放,然后在外延生长过程中又转化成了层错。根据 $L=W/\tan 4^\circ$ (L: 为 SF 的长度; W: 为外延层的厚度)的关系,从 PL 图像中,可以依据 SF 的长度来判断 SF 的产生是发生在的界面还是 P 型外延过程中。由于 P 型外延厚度为 $1\mu\text{m}$,所以从界面产生的 SF 长度为 $14.3\mu\text{m}$;从图 4.9 (a) PL 图像上发现 SF 的长度为 $12.4\mu\text{m}$ 左右,可以推测 SF 产生在外延过程中。进一步确认原因,经过腐蚀后发现存在扩展位错,验证上述推测,形成机理如图 4.9 (b) 所示。

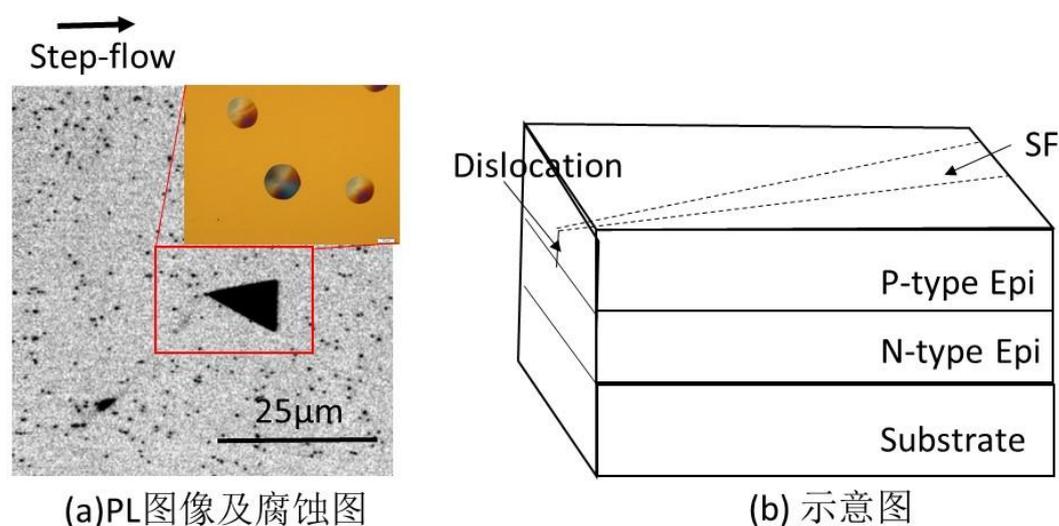


图 4.9 P 型外延中 SF 图像及形成机理示意图

4.5.2 力学性能的变化

外延中产生的内部应力一部分通过缺陷(位错、层错)释放,但是如果积累过大就会在晶片的几何参数上表现出来,具体通过各种力学性能来表现。因此本节对比研究了 p 型外延前后晶片的各项力学性能的变化。总厚度变化(Total thickness variation, TTV)为所测晶片的最大厚度与最小厚度的绝对差值。线性厚度变化(Linear thickness variation, LTV)为晶片的正面和背面能用两个非平行平面表示的晶片厚度变化。弯曲度(Bow)为晶片凹凸形变的一种度量。翘曲度(Warp)为晶片中心面与基准平面之间的最大和最小距离差。

从图 4.10、图 4.11 看,在 n 型外延片上生长 $1\mu\text{m}$ 厚的 p 型外延,晶片各项力学性能并没发生显著变化;同时,从 n 型掺杂浓度 $3\text{E}15\text{cm}^{-3}$ 到 p 型掺杂浓度 $1\text{E}19\text{cm}^{-3}$ 的变化,也没发生大的变化,说明生长 $1\mu\text{m}$ 的 p 型外延对晶片的内部应力没有影响。

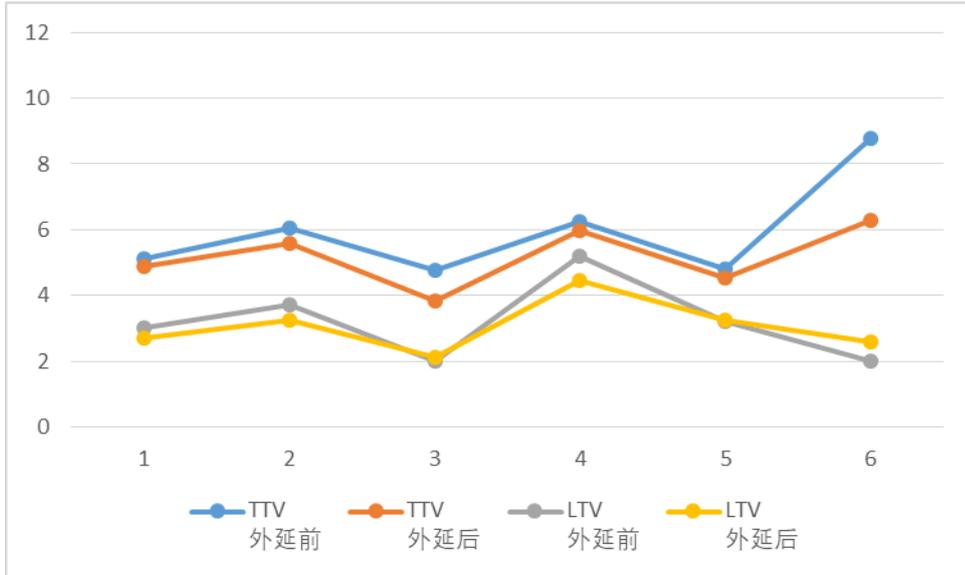


图 4.10 P 型外延前、后 TTV 和 LTV 的变化

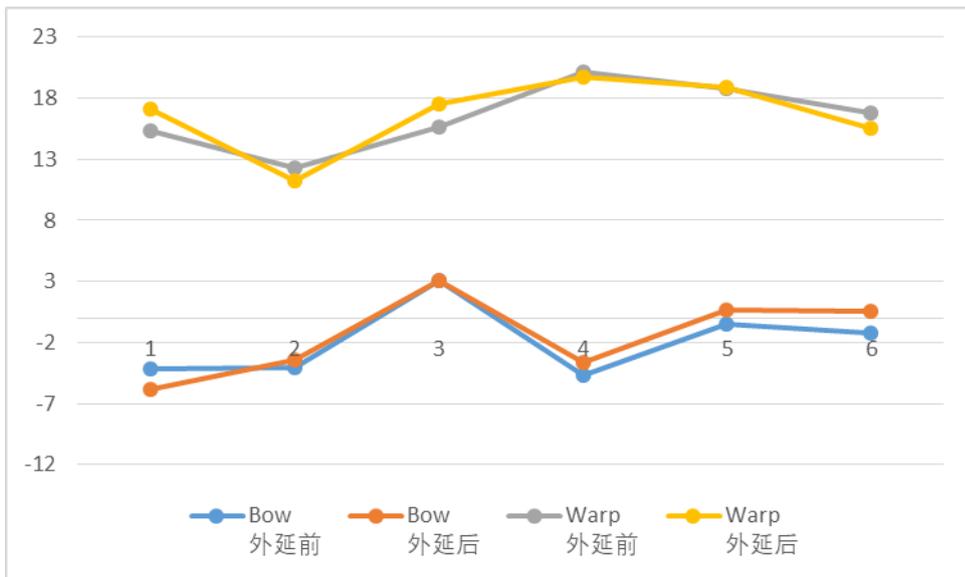


图 4.11 P 型外延前、后 Bow 和 Warp 的变化

4.6 本章小结

本章围绕 p 型外延做了相关研究，首先介绍了其掺杂机理，开展了 p 型外延实验研究，通过控制 p 型掺杂源实现了在 $1E16-1E19 \text{ cm}^{-3}$ 范围可控，得到 p 型掺杂浓度和 TMA 流量的线性关系，便于后期指导实验；采用竞位外延技术，研究了 C/Si 对 Al 掺杂浓度的影响；在 n 型外延后再生长 p 型外延后，如果 n 型外延表面缺陷过多会导致 p 型外延的表面缺陷数量大量增加，尤其是三角形缺陷。采用周期性外延

生长工艺后，形貌缺陷得到了很大改进，但是由于 Al 原子的掺杂带来的晶格失陪，导致层错缺陷明显增加。P 型外延后对其力学性能（TTV、Bow、Warp 等）并没有发生明显变化。

第五章 高压 SiC 功率器件验证

大功率二极管是半导体电力电子器件的非常重要的一种类型，主要包括肖特基 (Schottky barrier diode, SBD)、PiN 和结势垒肖特基 (Junction barrier schottky, JBS)，图 5.1 为三种结构的横截面示意图。SiC SBD 二极管的有效肖特基接触面积大、开启电压小、通态压降小、反向恢复特性好，缺点是存在肖特基势垒随电场强度降低的镜像效应，漏电流大、耐压小、无抗浪涌电流能力。适合于制作 1200V 以下的低压器件，例如开关电源，功率因数修正电路 PFC 以及混合动力汽车 DC/DC 变换器等。由于肖特基势垒的存在使得 SBD 二极管的反向泄漏电流比较大，限制了其在高压领域的应用。

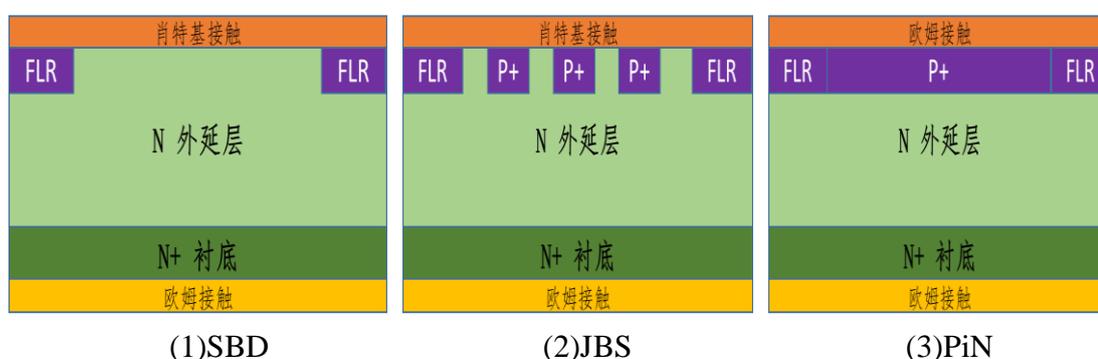


图 5.1 三种 SiC 功率二极管结构示意图

虽然 SiC PiN 二极管具有很高的阻断电压，但是由于少子存储效应，SiC PiN 二极管反向恢复时能量损耗比较大。由于 SiC 材料禁带宽度较大，SiC PiN 二极管的开启电压较高，接近 3V。此外，SiC 材料中 BPD 缺陷会引起双极性器件通态压降的漂移，成为制约 SiC 双极性器件应用的关键问题之一。随着材料质量的提升，SiC PiN 二极管将在 10kV 以上高压大电流器件应用中承担重要角色。

因此，为解决上述问题，国际上通常采用结势垒肖特基二极管 (JBS) 结构。结势垒肖特基 (JBS) 二极管是结合肖特基二极管 (SBD) 低正向导通压降和 PiN 二极管高阻断电压特性的一种器件结构。结合了肖特基二极管所拥有的出色的开关特性和 PiN 结二极管所拥有的低漏电流的特点，在外延层中加入 pn 结，使正向导通特性具有肖特基二极管的特性，有较低导通电压，同时使阻断特性有 PiN 二极管的特性，具有较高的阻断电压，漏电流较小。缺点是其半导体加工工艺较复杂，抗浪涌电流能力不如 PiN 二极管。适用于 1200V~6500V 中高压器件。

本文中的 6500V/50A SiC 二极管，有源区结构优选 JBS 和 PiN 结构，其中有源区里的 p 型注入区可与终端结构同步工艺形成，简化工艺步骤。其中，对少子寿命提升技术和 BPD 密度降低后的外延材料，通过采用 PiN 二极管进行了流片验证。

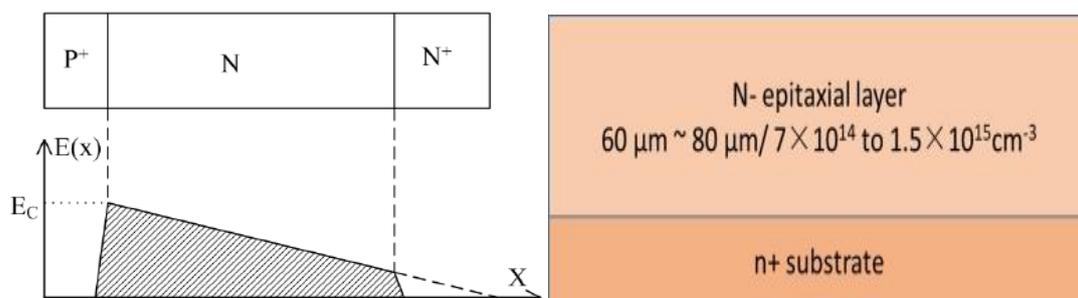
5.1 SiC 二极管外延材料设计

对于高压碳化硅器件来说，外延层是器件承受反向电压的主要部位，它的参数决定了器件的反向阻断能力，为了实现一定耐压值的器件，需要对晶片外延层选择合适的掺杂浓度和厚度。掺杂浓度降低，耐压增加；厚度增大，耐压也会增加。外延层掺杂浓度和厚度两者的不同组合，虽然可以实现同样的耐压值，但是器件的比导通电阻并不一定是最佳。由于衬底的掺杂浓度很高，电阻较小，而外延层的掺杂浓度却相对较低，所以一个器件的比导通电阻主要部分是外延层的比导通电阻。而外延层的比导通电阻与外延层的参数有着紧密的联系。它们之间的关系是：外延层的掺杂浓度越小，比导通电阻越大；外延层的厚度越大，比导通电阻越大。外延层参数的设计需要对外延层的阻断电压和比导通电阻进行综合考虑，当在满足耐压条件下的外延层参数设计中选择某一个组合时，比导通电阻达到最小，这样的外延层参数则为最优设计。

根据半导体物理中 PN 结理论，对 PN 结两边施加反向偏置电压时，耗尽区会在 PN 结掺杂浓度较低的一侧扩展的更大。在碳化硅功率二极管中，漂移区（外延层）的一侧掺杂浓度较低，所以耗尽区主要在漂移区（外延层）一侧扩展，这样压降也就主要由在漂移区（外延层）来承担。所以，在设计二极管时，对外延层的参数（掺杂浓度和厚度）的选择就非常关键，要使导通电阻尽可能小，厚度就要薄，掺杂浓度就要高，这样又实现不了高的耐压。实际上器件的比导通电阻是和阻断电压的 2 次方成正比关系^[207]，如式（5-1）所表示。

$$R_{on-ideal} = \frac{4BV^2}{\epsilon_s \mu_n E_C^3} \propto BV^{2.5} \quad (5-1)$$

理想情况下，当器件在击穿状态时，由整个漂移区来承受耐压，全部耗尽，这样不会使多余材料的浪费，可以节约外延制造成本，同时要精确控制外延层相应的掺杂浓度，尽量减小电阻。在选取漂移区参数的时候，要根据需求选择合适的材料。



(a) 穿通型二极管电场分布

(b) 外延参数

图 5.2 穿通型二极管电场分布和器件外延参数

4H-SiC 漂移区的临界击穿电场 E_C 与漂移区的掺杂浓度有如下关系:

$$E_{cr} = 2.49 \times 10^6 \times 1/(1 - 0.25\log(N_D/(1 \times 10^6))) \quad (5-2)$$

根据 Baliga power law, 4H-SiC 漂移区的掺杂浓度与最大可耗尽厚度有如下关系:

$$W_{pp}(4H - SiC) = 1.82 \times 10^{11} N_D^{-7/8} \quad (5-3)$$

根据 (5-2) 和 (5-3) 和单边突变结的电场强度的表达式, 可以推导出图 5.3 和图 5.4, 即对于耗尽层厚度确定的情况下, 碳化硅的击穿电压 BV 和品质因素 (figure of merit) FOM 随碳化硅外延层掺杂浓度的变化曲线。图 5.4 所示的 FOM 图表示: FOM 图中每条曲线顶点对应的厚度和掺杂浓度组合能实现某一耐压等级下器件耐压和导通电阻之间折中的最优化。

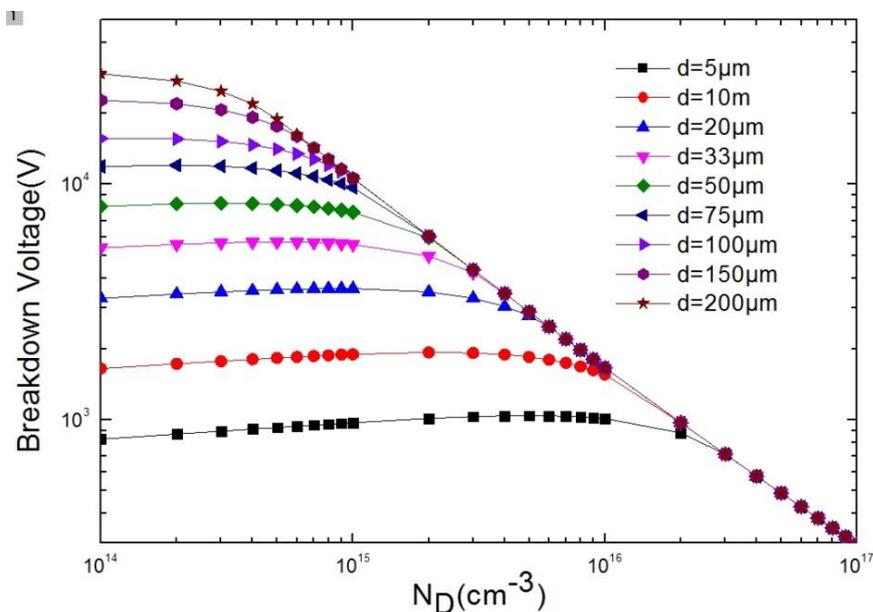


图 5.3 耗尽层厚度确定, 碳化硅的击穿电压 BV 随碳化硅外延层掺杂浓度的变化曲线

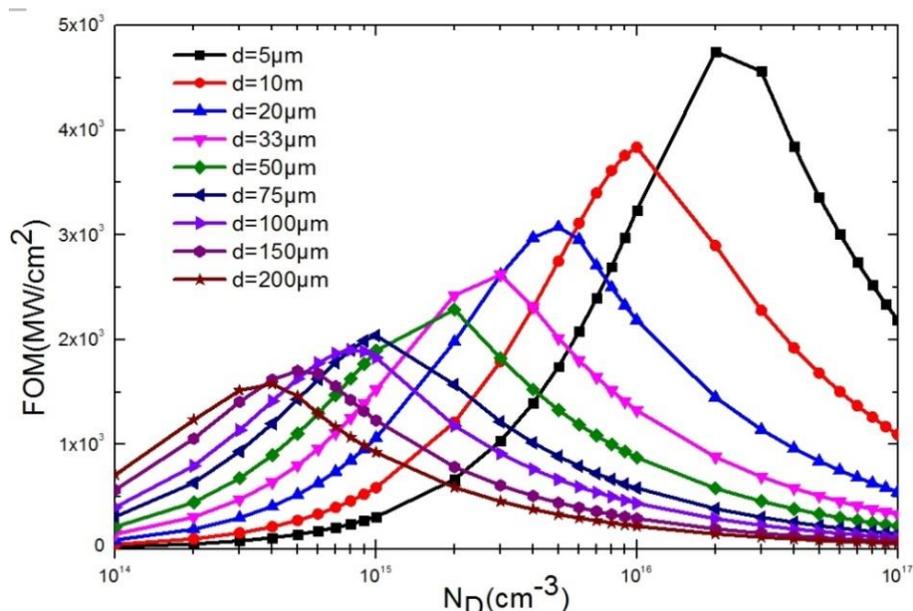


图 5.4 耗尽层厚度确定，碳化硅的品质因素（figure of merit）FOM 随碳化硅外延层掺杂浓度的变化曲线

考虑到实际材料中存在的各种缺陷等非理想因素会导致实际器件的漏电流较大，耐压也不能达到理论计算值，为保证器件使用过程中的可靠性，耐压能力标称为 6500V 的器件需要留有足够的耐压裕量，通常器件的实际耐压能力按照理想耐压能力的 80% 计算，因此 6500V 的器件所需的材料理论上应该能够承受 8300V 以上。根据图 5.3 和图 5.4 可知，要实现约 8300V 以上的耐压，漂移区的初选掺杂浓度范围 $7.0 \times 10^{14} \sim 1.5 \times 10^{15} \text{ cm}^{-3}$ ，初选厚度范围为 $60 \sim 80 \mu\text{m}$ 。在 $70 \mu\text{m}$ 、 $9 \times 10^{14} \text{ cm}^{-3}$ 条件下，通过计算仿真所得击穿电压为：9500V。

缓冲层设计

设计缓冲层的目的是为了过渡、消除衬底的损伤或应力，使外延层和衬底之间形成良好的晶格结构过渡，以期能够避免衬底缺陷传播进外延层。根据外延层厚度不同，一般 $30 \mu\text{m}$ 以下，选择厚度 $1 \mu\text{m}$ 左右的缓冲层，掺杂浓度为 $1 \text{E}18 \text{ cm}^{-3}$ 。本论文生长 $70 \mu\text{m}$ 的外延层，为了实现更高质量，选择 $2 \mu\text{m}$ 厚度的缓冲层，掺杂浓度为 $1 \text{E}18 \text{ cm}^{-3}$ 。

5.2 SiC 二极管器件流片验证

5.2.1 二极管器件工艺

根据对现有技术的调研，并结合现有的碳化硅二极管芯片开发经验，拟定了 6500V 碳化硅二极管芯片的工艺流程，其主要的工艺步骤如图 5.5 所示，主要包括：

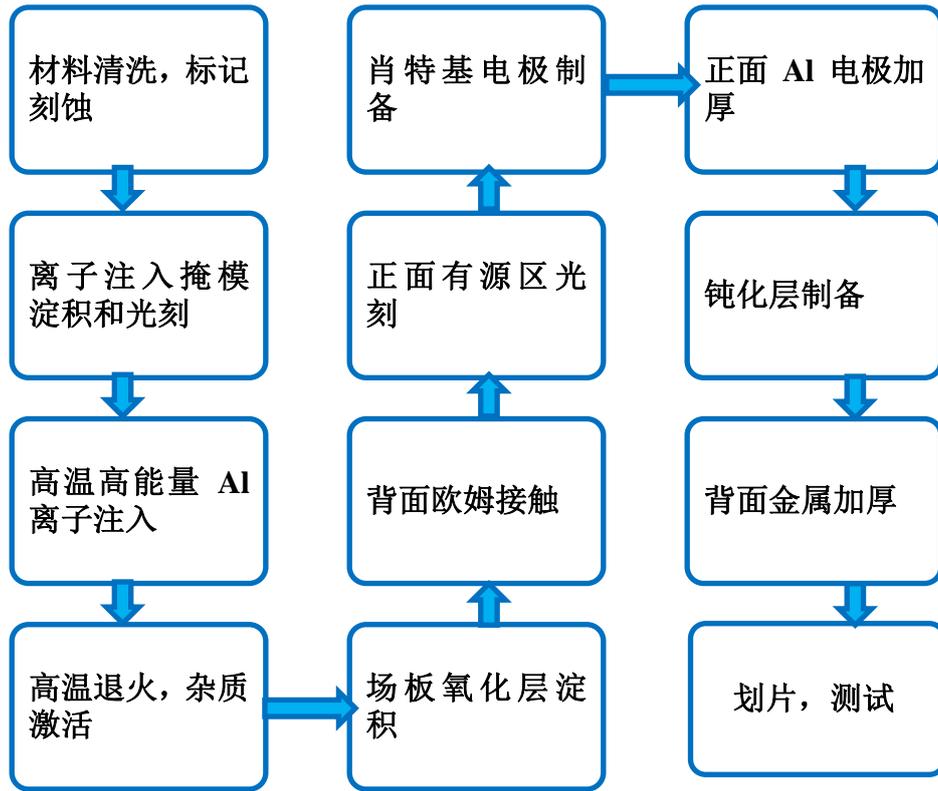
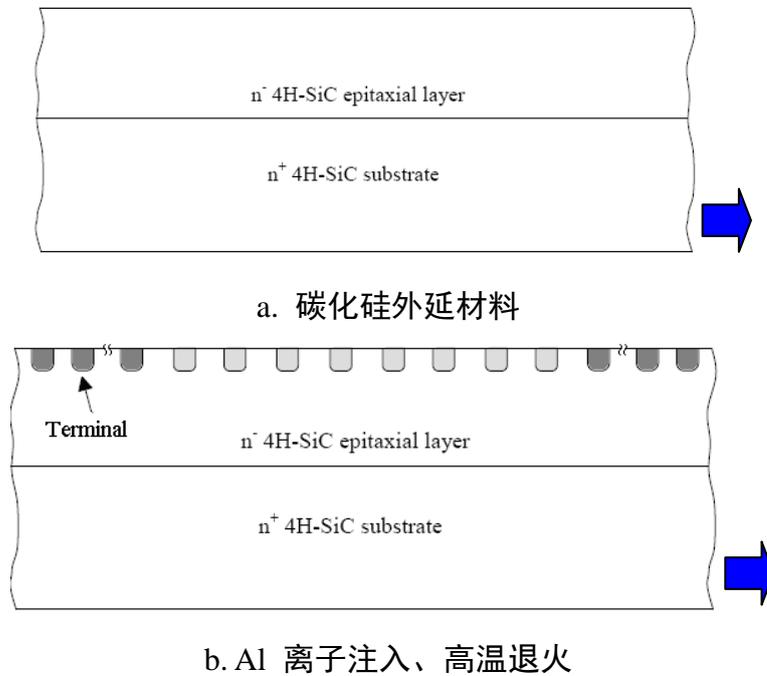
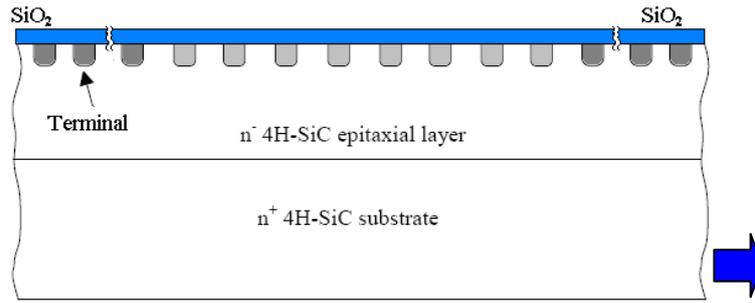


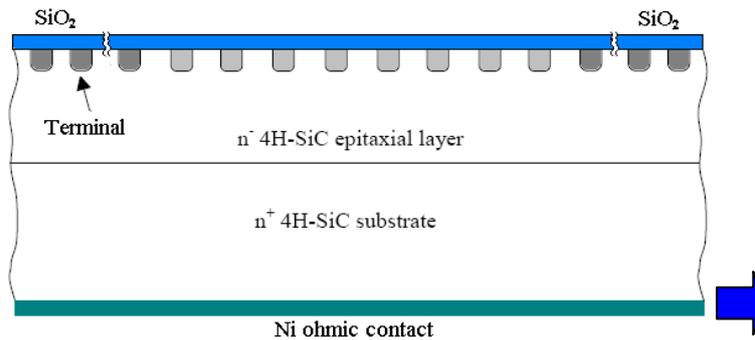
图 5.5 碳化硅二极管制备工艺流程图

工艺流程截面示意图如图 5.6 所示：

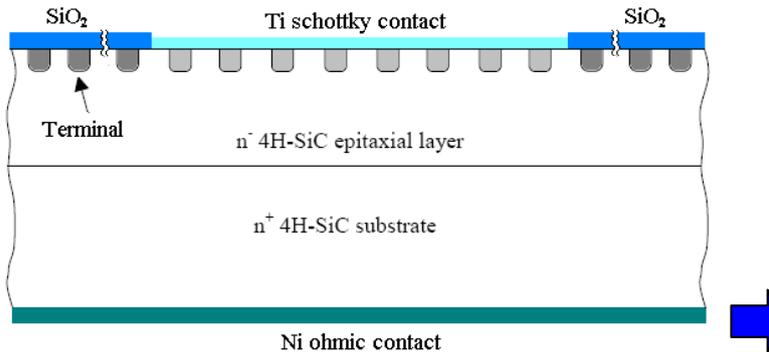




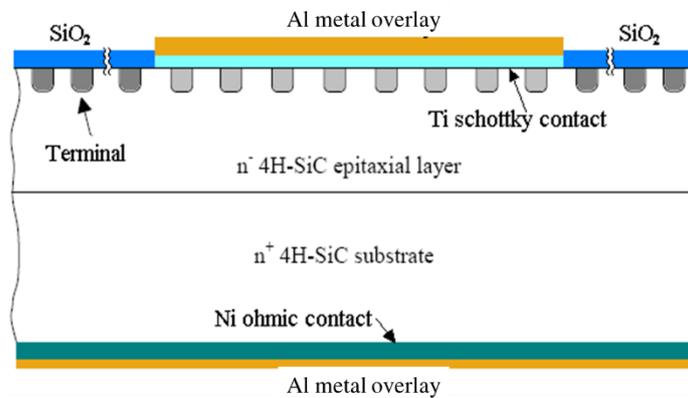
c. 热氧化形成钝化层



d. 形成欧姆接触



e. 形成肖特基接触



f. 金属化工艺

图 5.6 碳化硅功率二极管的工艺流程截面示意图

基于器件工艺的需要,调研了国内外相关工艺研发现状,根据实际的工艺设备条件,对上述工艺流程中的各步单项工艺进行了研究开发。

(1) 材料清洗, 标记刻蚀

根据反向耐压的需求,选择合适厚度和掺杂浓度的碳化硅外延材料,进行清洗并刻蚀光刻对准标记。清洗工艺是半导体制程中非常重要的常规工艺,因为它是连接各工艺间的纽带,同时也影响着器件的各方面性能。根据硅材料的 RCA 标准清洗工艺,开发了针对碳化硅的基本清洗工艺流程:

无机清洗,前道工艺(制作金属前)的清洗,包括:SC3#号液清洗,主要清除碳化硅表面的有机沾污和部分金属;BOE 漂洗,主要清除碳化硅表面在 SC3#号液中形成的自然氧化层;SC1#号液,主要清除碳化硅表面的有机沾污和部分金属离子;BOE 漂洗,主要清除碳化硅表面在 SC1#号液中形成的自然氧化层;SC2#号液,主要清除碳化硅表面的碱金属离子;BOE 漂洗,主要清除碳化硅表面在 SC2#号液中形成的自然氧化层。

有机清洗,后道工艺(制作金属后)的清洗,包括:丙酮超声清洗,异丙醇超声清洗,去离子水冲洗,主要用于去除有机类沾污。

标记刻蚀采用正性光刻胶,经光刻机紫外曝光转移标记图形,通过碳化硅刻蚀工艺将标记转移到碳化硅材料上。

(2) 离子注入掩膜淀积和光刻

离子注入掩膜的常用材料有氧化硅、多晶硅和氮化硅等,通过 LPCVD 和 PECVD 等方法,淀积在碳化硅材料表面。使用光刻胶掩膜光刻出注入窗口模板,而后通过刻蚀离子注入掩膜材料,形成最终的离子注入窗口图形。

(3) 高温高能量 Al 离子注入

为减少碳化硅晶格损伤,提高注入离子激活率,碳化硅离子注入通常采用高温离子注入(350-550°C)。通过采用多能量(40-800keV)的箱式 Al 注入技术获得均匀体浓度分布的离子注入,形成肖特基二极管有源区注入及终端结构。

(4) 高温退火, 杂质激活

高温注入的 Al 离子需要通过高温退火,以获得较高的杂质激活率。碳化硅材料通常在 1600-2000°C 的高温下退火,为防止高温退火造成碳化硅表面形貌恶化,通常退火前在碳化硅表面制备一层碳膜保护层。

(5) 场板氧化层淀积

高质量的场板氧化层对提高器件的反向耐压水平有很重要的作用,通常采用高温热氧化获得高质量的氧化硅后,再用 CVD 的方法获得较厚的氧化硅层。

(6) 背面欧姆接触

碳化硅材料背面采用电子束蒸发或磁控溅射制备金属层,并经过高温合金化过程形成欧姆接触。

(7) 正面有源区光刻

正面有源区光刻,去除有源区氧化硅层,获得肖特基接触窗口。

(8) 肖特基电极制备

电子束蒸发或磁控溅射肖特基接触金属,退火后得到正面肖特基接触。

(9) 正面 Al 电极加厚

电子束蒸发或磁控溅射并光刻制备正面 Al 电极,减小串联电阻。

(10) 钝化层制备

淀积氧化硅、氮化硅、磷硅玻璃及聚酰亚胺等材料,形成芯片表面的保护层,防止水气和可动金属离子沾污。

(11) 背面金属加厚

电子束蒸发或磁控溅射形成阴极电极金属,减小阴极串联电阻。

(12) 划片,测试

划片并进行成品率测试。

根据以上碳化硅二极管工艺流程设计,进行了二极管的制备验证了外延材料。

5.2.2 JBS 二极管的流片结果

图 5.7 所示为流片完成的晶圆照片。使用 Keysight B1505A 功率器件分析仪和 Keysight N1268A 超高电压扩展仪测试 6500 V 4H-SiC JBS 二极管在室温下的静态电学特性,Keysight N1268A 超高电压扩展仪能够提供高达 10 kV 的高压,测试过程中的脉冲宽度设置为 1 毫秒。所有的测试均在室温条件进行。图 5.8 为 6500V 4H-SiC JBS 二极管室温下正向特性曲线。当正向偏置电压从 0 扫描到 5 V 时,JBS 二极管表现出良好的正向特性。当正向电流达到 25A 时,二极管的压降小于 2.89V。

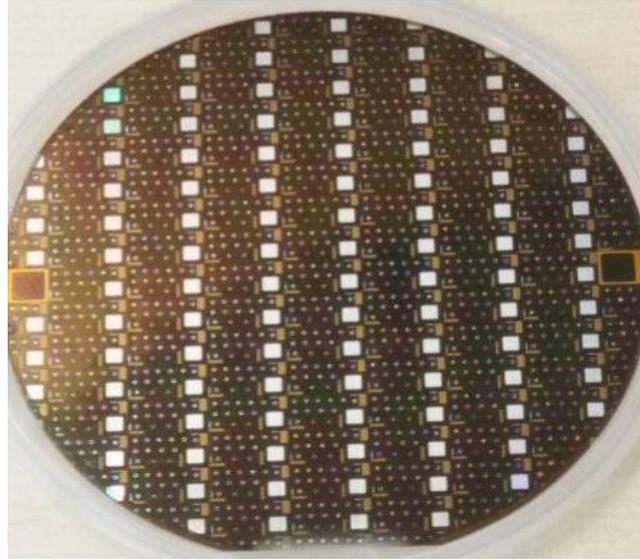


图 5.7 流片完成的晶圆照片

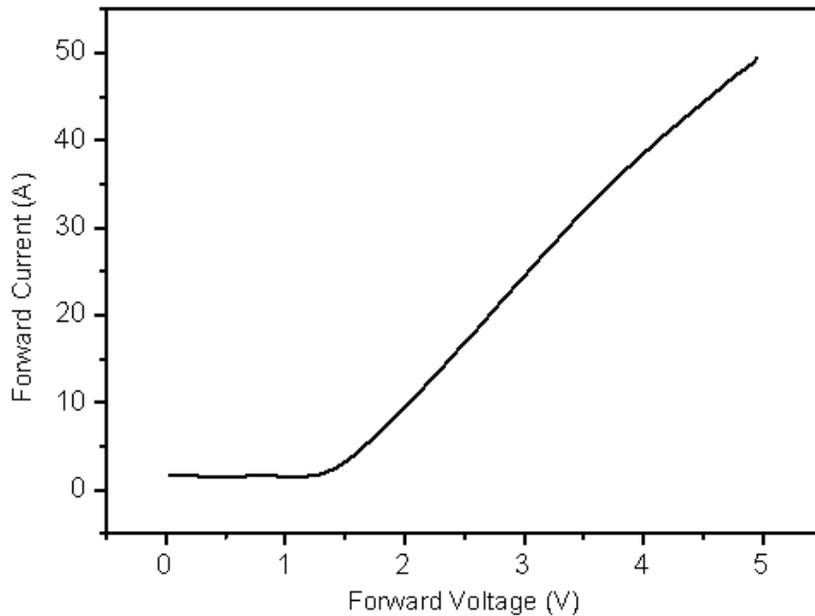


图 5.8 6500V 4H-SiC JBS 室温下正向特性曲线

图 5.9 为 6500V 4H-SiC JBS 在室温下反向耐压特性。这里定义二极管反向漏电流为 $10\mu\text{A}$ 时对应的反向偏置电压为反向击穿电压，从结果可以得到二极管的反向击穿电压达到 7800V，理论值是 9500V，击穿效率达到 82%。

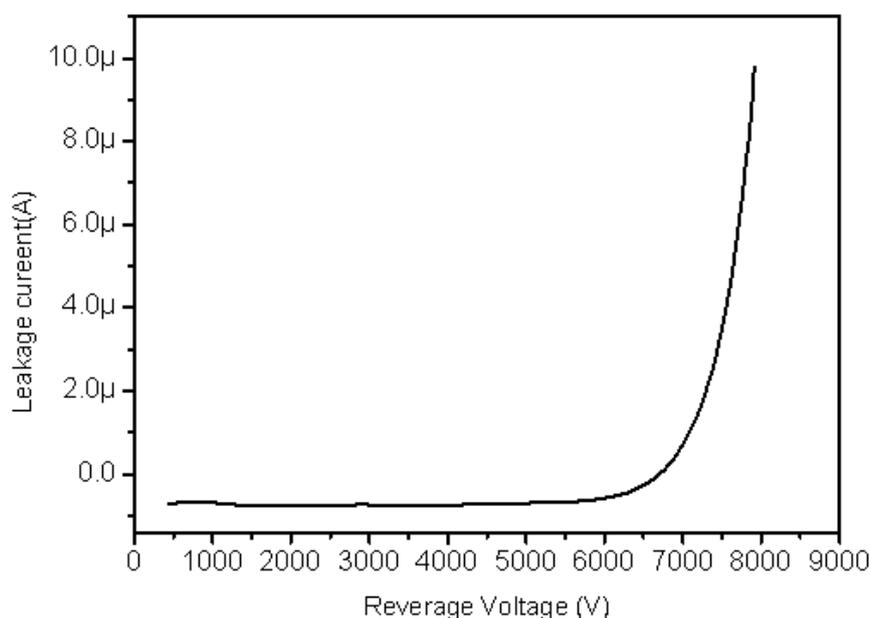


图 5.9 6500V 4H-SiC JBS 室温下反向特性曲线

对该晶圆器件正向导通电压和反向耐压做了分布统计，下图 5.10 为 6.5 kV/25A SiC 二极管流片样品正向导通电压和反向耐压 Map 图，正反向都达标的芯片有 54 个，占比 60%。而在缺陷较多（表面缺陷 100 个）外延片上制备二极管后，其合格才 22%，如图 5.11 所示。与说明外延片的缺陷降低，对器件制造的合格率影响甚大。进一步说明周期性外延的意义。

D10-IV Vf@2.0A when Von=1.28V@3.5mA averageVf=3.59V										D10-BV@1 μA									
	a	b	c	d	e	f	g	h	i		a	b	c	d	e	f	g	h	i
A				4.0V	1.98V					A				401V	183V				
B			3.2V	3.58V	3.6V	3.31V				B			2678V	6289V	7850V	7615V			
C		>4V	3.45V	3.57V	3.6V	3.63V	>4V			C		1621V	7905V	7944V	8022V	7945V	X		
D		3.41V	3.53V	3.54V	3.58V	3.65V	>4V			D		X	8000V	7987V	8020V	7291V	344V		
E		3.5V	3.54V	3.5V	3.56V	3.64V	3.67V	3.66V		E		7870V	8027V	8024V	8073V	6934V	7923V	278V	
F	2.33V	3.54V	3.48V	3.53V	3.53V	3.63V	3.72V	3.44V		F		7912V	X	8035V	7981V	592V	8020V	659V	
G	3.21V	3.51V	3.48V	3.49V	4.02V	3.86V	3.7V	3.71V		G		8024V	7948V	1516V	8058V	7993V	7964V	6882V	
H	3.30V	3.48V	3.48V	3.51V	3.51V	3.81V	3.66V	3.7V		H		7975V	7955V	7503V	7996V	8002V	2146V	3950V	
I		3.51V	3.51V	3.55V	3.53V	3.63V	3.7V	3.64V		I		7946V	3843V	7428V	7850V	4278V	7894V	X	
J	3.27V	3.52V	3.52V	3.54V	3.53V	3.57V	3.75V	3.75V		J		X	7983V	7984V	7553V	7671V	7821V	7877V	5188V
K	3.18V	3.52V	3.54V	3.51V	3.54V	3.6V	3.7V	3.8V		K		X	7958V	1580V	7241V	7643V	7798V	7970V	1657V
L		3.51V	3.53V	3.53V	3.54V	3.6V	3.71V	3.53V		L		6748V	7963V	7443V	7851V	7842V	7908V	X	
M		3.77V	3.55V	3.56V	3.56V	3.62V	3.72V	3.87V		M		X	7993V	7627V	7916V	7902V	7915V	X	
N		3.33V	3.66V	3.53V	3.57V	3.63V	3.75V			N		448V	7878V	7575V	7712V	6608V	X		
O			3.42V	3.51V	3.56V	3.6V	3.83V			O			1911V	7689V	6913V	7843V	147V		
P				2.79V	2.86V	3.15V				P			156V	176V	X				

图 5.10 正向导通电压和反向耐压 Map 图

D10-IV Vf@2.0A when Von=1.28V@3.5mA averageVf=3.49V										D10-BV@1μA									
	a	b	c	d	e	f	g	h	i		a	b	c	d	e	f	g	h	i
A										A				287V	268V				
B					3.67V					B			4080V	X	7837V	2842V			
C			3.77V							C		X	7288V	5633V	3454V	X	639V		
D						3.6V				D		6156V	1387V	X	X	7725V	4725V		
E		3.8V	>4V							E		6578V	7484V	5013V	6391V	5474V	5096V	5859V	
F			3.4V							F	X	5625V	7985V	6421V	X	5872V	X	5183V	
G		3.64V				3.41V	3.45V			G	2016V	6887V	3301V	6138V	2880V	7047V	7965V	5173V	
H		3.46V		3.41V		3.58V	3.44V			H	X	7910V	5114V	7577V	X	6535V	6553V	4691V	
I				3.41V			3.43V			I		2112V	4457V	7696V	5099V	6498V	7678V	4083V	
J					3.46V					J	2866V	4173V	5780V	5346V	6903V	X	5757V	4961V	
K				3.42V	3.49V	3.52V				K	X	5575V	4377V	7423V	7737V	7848V	3057V	1009V	
L		3.44V		3.45V		3.45V	3.39V			L		7265V	6277V	6015V	6279V	6987V	6899V	X	
M		3.5V	3.48V		3.43V	3.45V	3.41V			M		7611V	7897V	6160V	7822V	7879V	7135V		
N			3.52V	3.49V	3.45V	3.45V				N		X	7868V	7781V	7461V	6886V	X		
O				3.42V						O			X	7827V	X	2935V	465V		
P										P				268V	X	X			

图 5.11 在缺陷较多的外延材料制作器件的 Map 图

5.2.3 PiN 二极管的流片结果

为了验证材料在高少子寿命和低 BPD 的 SiC 外延材料,特进行了 PiN 流片验证。一般采用采用导通电阻在衡量 PiN 二极管的正向导通特性的好坏,即导通电阻越小,说明该二极管在大电流方面表现越好。

如图 5.12,可以看出,经过高温氧化处理的 PiN 二极管的开启电压明显比未经过高温氧化处理的二极管下降很多,说明载流子寿命的提升确实导致了电导调制效应的增强。进一步说明了通过后处理工艺可以改善碳化硅双极器件的正向特性。

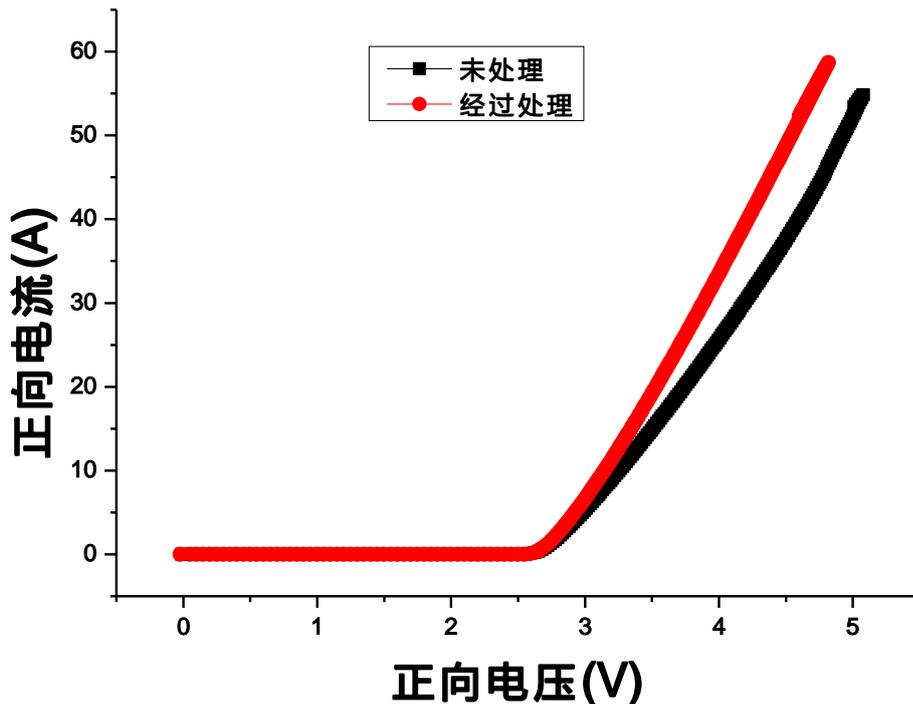


图 5.12 经过高温氧化和未处理的 PiN 二极管的正向 I-V 特性

在研究中, 科研人员发现 SiC PiN 器件在恒定的电流下, 会出现正向电压升高的现象, 即 PiN 二极管正向电压的退化现象^[208]。这种现象严重影响了器件在长时间工作的稳定性和可靠性。Zhang^{[209][210]}通过使用扫描电镜的 EBIC 功能观察到引起正向电压退化的原因是在正向工作时, 产生了 SF 缺陷, 从而形成了高阻区导致正向电压增加; 并且发现这种 SF 缺陷产生于外延层中 BPD 缺陷。本器件的外延材料, 采用周期性外延生长技术, 对 BPD 的控制得到了很大改善, 从源头上抑制了正向电压退化现象。为了验证此推论, 对器件做了退化实验测试。

如图 5.13 在 50A ($100\text{A}/\text{cm}^2$) 电应力的测试下, PiN 的正向压降基本稳定, V_F 的变化约为 4% 左右, 优于文献中^[211] V_F 的变化 53%, 所以材料 BPD 缺陷的降低对器件性能改善带来了积极效果。

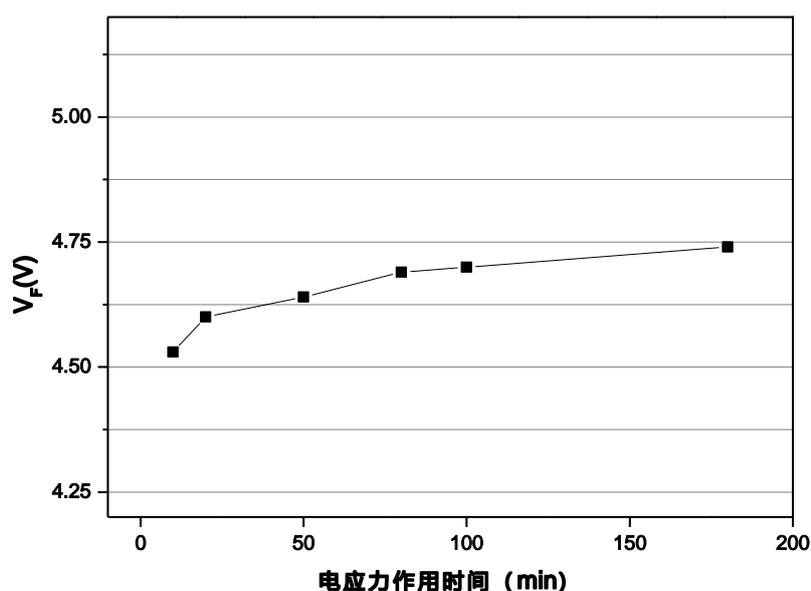


图 5.13 50A 应力下 PiN 二极管导通压降的变化

5.2.4 缺陷对器件性能的影响

许多 SiC 外延片中的表面缺陷都影响器件的性能, 如胡萝卜缺陷会增大二极管的反向漏电流和降低击穿电压^[212], 三角形缺陷也会增大反向漏电流和降低击穿电压, TSD 会增大器件的反向漏电流^[213], TED 对器件的性能影响较小^{[214][215]}, SF 会引起肖特基二极管的肖特基势垒降低, 并降低击穿电压, BPD 会使得双极器件的正向电压发生漂移, 从而影响器件的稳定性, 同时 BPD 还会导致栅氧化层的绝缘性降低, 影响 MOSFET 的可靠性^{[216][217]}。Kojima^[218]研究发现, 随着 SF 数量的增加肖特基势垒降低

的现象，并且在反向偏压时会导致漏电流的增大。

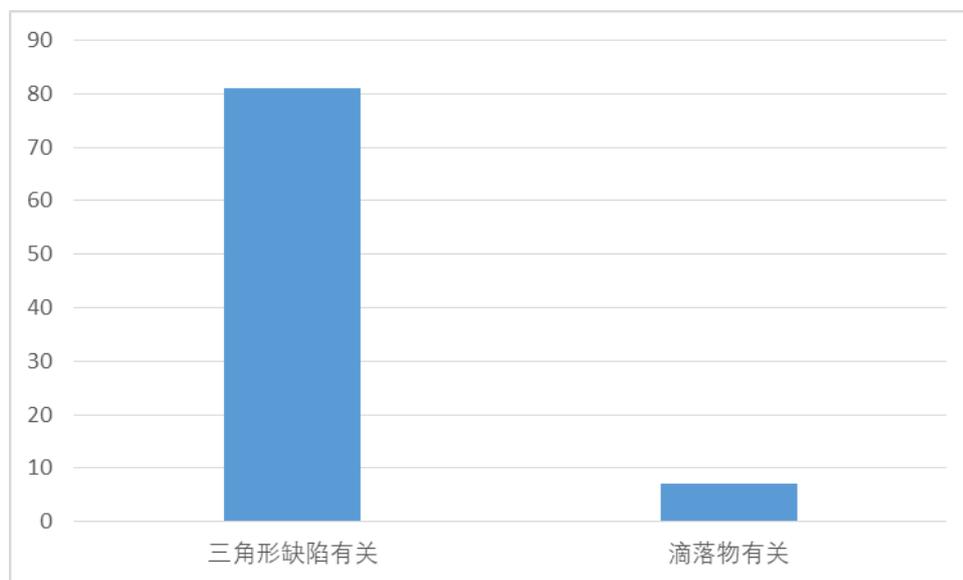


图 5.14 器件不合格统计图

根据外延片表面缺陷分布对器件不良品做了对比统计，如图 5.14 所示，发现由三角形缺陷导致器件失效的数量有 81 个，因滴落物缺陷导致器件失效的有 7 个。所以器件对制造来说，外延片的缺陷对合格率有着较大的影响。进一步对有缺陷导致不良的器件做了进一步电性能分析。图 5.15 是有源区存在三角形缺陷的 4H-SiC JBS 的反向 I-V 特性测试结果。从图中可以看出，有源区含有三角形缺陷的器件不仅反向击穿电压较低，降低幅度大约 60%，比对低中器件的影响略大一些^[219]，反向漏电流也增加了近 3 个数量级的变化。从器件性能的测试结果可以看出，三角形缺陷是对 4H-SiC 6500V JBS 二极管特性影响是比较严重的。本文中，提出的周期性外延生长技术可以使三角形缺陷降低 30%，进一步提高了器件制备的合格率。

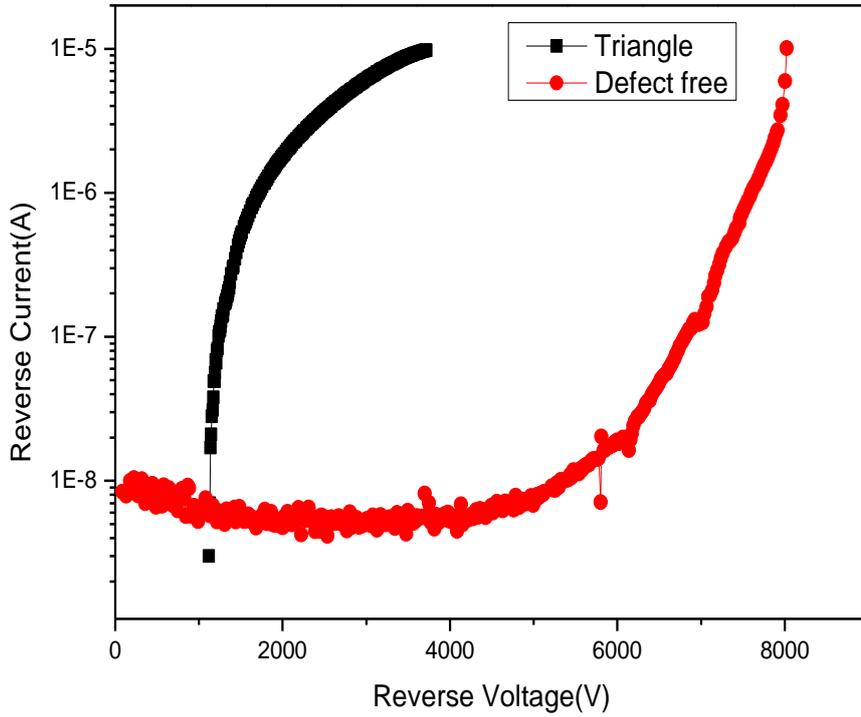


图 5.15 有源区内含有三角形缺陷和无缺陷的 4H-SiC JBS 反向 I-V 特性图

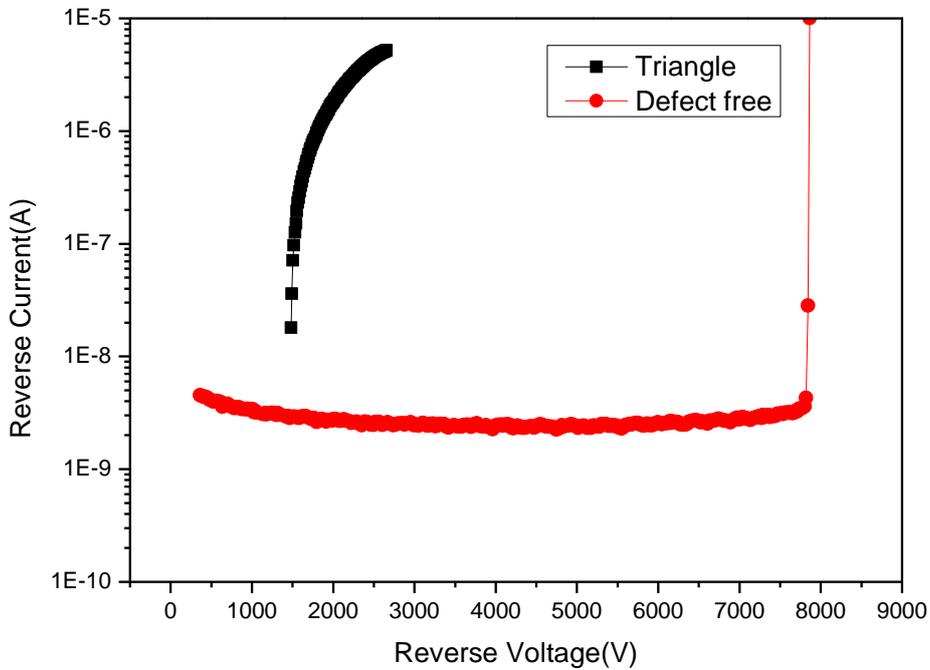


图 5.16 有源区内含有三角形缺陷和无缺陷的 4H-SiC PiN 反向 I-V 特性图

图 5.16 是有源区存在三角形缺陷的 4H-SiC PiN 的反向 I-V 特性测试结果。从图中可以看出，有源区含有三角形缺陷使得 PiN 器件的反向击穿电压降低了 62.5%，比

对 JBS 的影响程度略大；反向漏电流增加约 3 个数量级，与对 JBS 的影响基本一致。

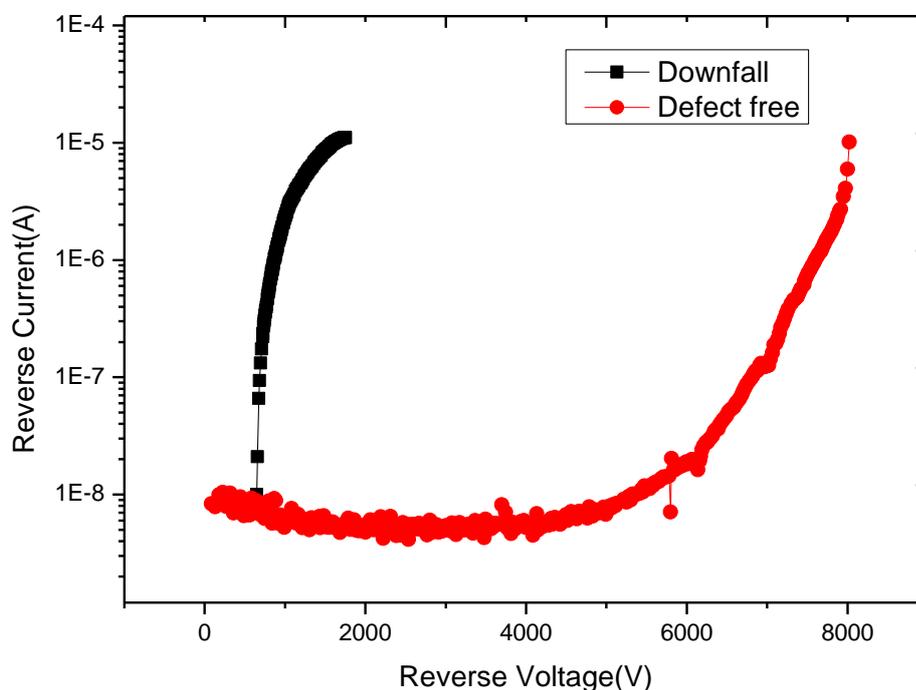


图 5.17 有源区内含有滴落物缺陷和无缺陷的 4H-SiC JBS 反向 I-V 特性图

图 5.17 是有源区存在滴落物缺陷和没有缺陷的 4H-SiC JBS 的反向 I-V 特性测试结果对比图。从测试结果可以看出，滴落物缺陷对 4H-SiC JBS 二极管的反向击穿电压影响也是很严重，有源区存在滴落物缺陷的器件的反向击穿电压只有 1800V 左右，降低幅度达 77%，比纯三角形缺陷对反向击穿电压的影响要大，这可能是由于外延层较厚滴落物往往会诱发三角形缺陷，最终形成一种复合缺陷，同时比薄膜外延三角形对中、低压器件的影响程度较大^[219]。然而，通过与有源区无缺陷的肖特基二极管反向 I-V 特性比较，发现当有源区存在滴落物缺陷的 JBS 二极管的时，反向漏电流也增加 3 个数量级。

5.3 本章小结

本章对 SiC 外延材料进行器件验证。首先，介绍了二极管的工作原理；其次，对 6500V 二极管需要的外延材料参数进行了设计；最后，通过流片验证，当正向偏置电压从 0 扫描到 5 V 时，JBS 二极管表现出良好的正向特性。当正向电流达到 25A 时，二极管的压降小于 2.89V。当施加的反向偏置电压小于 6500V 时，二极管的反向漏电

流很小。验证了少子寿命提升对 PiN 二极管的正向特性的影响。同时研究了缺陷对器件性能的影响，发现三角形缺陷的存在使得器件不仅反向击穿电压较低，降低了约 60%，而且反向漏电流也增加了将近 3 个数量级，对 PiN 影响略大一点，达到 62.5%，对反向漏电流影响基本一致；发现滴落物缺陷对反向击穿电压影响也非常大，影响将近 77%，漏电流增大 3 个数量级，使得器件制造合格率大大降低，影响成本，所以三角形、滴落物是器件性能的杀手，是厚膜外延必须要解决的重点缺陷。

第六章 结束语

SiC 作为第三代半导体材料的代表之一, 具有宽的禁带高的击穿电场、高电子漂移速度和高热导率等物理特性, 使得 SiC 基功率器件具有电压等高、通流能力强、频率高、损耗低等优势, 可以大幅度的减小设备体积与重量, 降低损耗, 更加适应能源革命对电网的安全性、可靠性、可控性和灵活性的要求。但是, 电力系统需要的功率器件也对外延材料有更高的要求: 超厚的外延层、低掺杂浓度、低缺陷密度等。目前, 针对电力系统高压器件应用的 SiC 外延材料, 在缺陷控制、少子寿命、均匀性、大面积芯片等方面仍然有许多难点, 不能满足高压器件的要求, 需要深入开展研究, 助力电网系统装备性能进一步提升。

在国家科技部“863”、“国家重点研发计划”及国家电网科技项目的支持下, 本文面对电力系统高电压、大电流、高可靠性的需求, 主要开展了大尺寸 SiC 厚膜外延工艺优化、少子寿命制约因素分析及提升技术、均匀性控制技术、缺陷控制技术及 p 型外延开展了相应的研究, 完成的主要工作和取得的创新成果如下:

1. 周期性外延生长技术: 基于在线刻蚀技术, 提出了一种用于低缺陷厚膜材料生长的周期性外延生长技术。通过将传统外延生长分解为多个“生长-刻蚀-吹扫-再生长”过程, 在外延生长过程中停止生长, 进行多次“刻蚀-吹扫”工艺, 可以及时地处理从腔体上掉落在表面的颗粒物, 并抑制了其诱导的其他缺陷。通过 70 μm 的厚膜外延实验发现, 该技术可使三角形缺陷降低到 30% 左右, 同时还可使促使 BPD 向 TED 转化, 降低 BPD 密度, 表面缺陷水平达到国内领先水平。通过优化气流分布, 6 英寸外延实现了 1.21% 的厚度不均匀性和 2.5% 的掺杂浓度不均匀性, 达到国内同行领先水平。

2. 基于 PL 和 $\mu\text{-PCD}$ 的测试技术, 深入地分析研究了制约超厚膜 (180 μm) SiC 外延材料少数载流子寿命的因素。通过 PL 和 $\mu\text{-PCD}$ mapping 对比分析, 发现在无缺陷区, 少数载流子为 3.02 μs , 三角形表面区的少数载流子寿命为 0.77 μs , 三角形边缘附近 (大量层错) 的少数载流子寿命为 1.34 μs 。发现在厚膜外延材料中, 三角形缺陷对少子寿命的影响要大于层错的影响。

3. 开展了对增强少子寿命的技术研究。对比了提升少子寿命的三种技术手段。系统地研究了高温氧化、退火、化学机械抛光以及外延工艺等方法对少子寿命的影响。研究发现, 通过长时间高温氧化和退火工艺将少子寿命提升到 5 μs , 能够满足高压双极器件的需求, 并揭示高温氧化的机理: 在氧化层界面附近的间隙 C 向外延层中扩散, 修复了影响少子寿命的 C 空位缺陷。其次, 通过化学机械抛光技术对 SiC 外延表面进行处理后, 使得整片的少子寿命更加均匀, 这是因为化学机械抛光降低了表面复

合速率。增大 C/Si 比（形成富 C 条件）和化学机械抛光对增强少子寿命有一定的效果，但是都远达不到器件的需要。

4. 开展了 P 型外延生长技术研究，研究了 p 型掺杂机理，实现了在 $1E16-1E19\text{ cm}^{-3}$ 范围可控，获得 p 型掺杂浓度和 TMA 流量的线性关系。为了控制 p 型外延中的缺陷，在 p 型外延生长前将周期性外延生长技术中特有的“刻蚀-吹扫”工艺引入，由于“刻蚀-吹扫”工艺的刻蚀和清理作用，可以将表面的异物进行刻蚀，并清理干净，为 p 型外延生长提供了良好的表面状况，抑制了 p 型外延形貌缺陷的产生，降低了 p 型外延对器件制造合格率的影响。研究还发现，由于 Al 掺杂带来的内部应力使得层错缺陷有所提升，通过光致发光检测（PL）和缺陷腐蚀分析了其形成机理：Al 掺杂产生的晶格应力使得在界面处形成位错得到释放，然后在外延生长过程中又转化成了层错。

5. 高压器件验证及缺陷对器件性能的影响。对制备的 6 英寸、 $70\mu\text{m}$ 的厚膜 4H-SiC 外延材料进行了有源区为 67mm^2 ，电压为 6500V 的二极管器件验证。研究结果表明，当正向偏置电压从 0 扫描到 5 V 时，JBS 二极管表现出良好的正向特性。当正向电流达到 25A 时，二极管的压降小于 2.89V。二极管反向漏电流达到 $10\mu\text{A}$ 时，二极管的反向击穿电压达到 7800V，击穿效率达到 82%；正反向都达标的芯片占比 60%。通过 PiN 二极管流片，验证了少子寿命提升对 PiN 二极管正向特性的改善；同时，验证了低缺陷密度（尤其是低 BPD）对于改善正向电压退化现象和对器件制造合格率提升的作用。研究了外延缺陷对器件性能的影响，发现三角形、滴落物缺陷对器件的击穿电压及漏电流均有较大影响，会大大降低反向击穿电压，并且影响程度较薄外延对中低压器件的影响更加严重。

未来使 SiC 材料、器件今早在高压领域进入产品化，还需要在本文的研究基础上继续深入地开展研究：

1. 受实验条件和器件研究进展的影响，没有开展万伏级 SiC 外延材料的周期性外延技术的研究，后续国家重点研发计划项目的进展，可开展此方面的研究工作。
2. 根据器件性能的提升要求，开展超结器件需要的外延层沟道填充技术实现 n 型柱和 p 型柱不断重复的外延结构，满足器件对低导通电阻的要求。
3. 本文中对结构缺陷对电网用高压电力电子器件性能的影响研究还不够深入。比如虽然 TSD 和 TED 对器件的正向和耐压没有严重影响，但是当施加高压时会增大漏电流和影响可靠性，所以还需研究可容许的扩展位错密度，在多少密度限度下不会提升漏电流。

参考文献

- [1] 刘振亚. 全球能源互联网[M]. 北京: 中国电力出版社, 2015: 2.
- [2] 郝跃,彭军,杨银堂. 碳化硅宽禁带半导体技术[M]. 北京: 科学出版社, 2000: 11.
- [3] Tupitsyn Y. New design approaches and numerical simulation aimed at high quality SiC bulk growth[D]. America: University of South Carolina, 2008.
- [4] Chow T P. SiC and GaN high-voltage power switching devices[J]. Materials Science Forum, 2000, 338:1155.
- [5] Spazia L. And Lu L. Silicon, GaN and SiC: there's room for all: An application space overview of device considerations, Proceedings of the 30th International Symposium on Power Semiconductor Devices & IC's. 2018[C]. Chicago, IL, USA. 8-11.
- [6] Lee HS. Fabrication and Characterization of Silicon Carbide Power Bipolar Junction Transistors[D]. Sweden: KTH, Royal Institute of Technology, 2008.
- [7] Davis, R.F., Kelner, G., Shur, M. et al. Thin film deposition and microelectronic and optoelectronic device fabrication and characterization in monocrystalline alpha and beta silicon carbide[J]. Proceedings of the IEEE, 1991,79(5):677-701.
- [8] Ivanov, P.A. and Chelnokov, V.E. Recent developments in SiC single-crystal electronics[J]. Semiconductor Science and Technology, 1992,7(7): 863-880.
- [9] Morkoç, H., Strite, S., Gao, G.B. et al. Large-band-gap SiC, III-V nitride, and II-VI ZnSe-based semiconductor device technologies[J]. Journal of Applied Physics, 1994,76(3): 1363-1398.
- [10] Schwierz F, Roschke M, Liou J J. Theoretical investigation of the electrical behavior of microwave power amplification[J]. Materials Science Forum, 1998, 264-268: 973-976
- [11] 王占国等. 中国材料工程大典[M]. 北京: 化学工业出版社, 2006.
- [12] 何艳静. 高性能 4H-SiC 功率 VDMOSFET 器件设计及关键工艺研究 [D]. 西安: 西安电子科技大学, 2018.
- [13] 高欣. 4H-SiC 同质外延生长与器件制作[D]. 北京:中国科学院半导体研究所, 2005.
- [14] Marchi J, Bressiani J C, et al., Densification studies of silicon carbide-based ceramics with yttria, silica and alumina as sintering additives[J]. Materials Research, 2001, 4(4): 231-236.
- [15] 郑新和, 渠波. 使用 X 射线衍射技术判定 SiC 单晶体的结构和极性[J]. 半导体学报, 2001, 22(1): 35-39.
- [16] 陈治明. 半导体概论(第 1 版) [M]. 北京: 电子工业出版社, 2008: 218.
- [17] Kittel C. Introduction to Solid State Physics, 5th ed[M]. John Wiley & Sons, Inc., New York, 1976.
- [18] Volker P, Nickel K G. Silica on Silicon Carbide[J]. Critical Reviews in Solid State and Materials

- Sciences, 2008, 33(1):1-99.
- [19] 陈治明. 半导体概论(第1版)[M]. 北京: 电子工业出版社, 2008: 220.
- [20] Johannesson D. Assessment of 10kV , 100A silicon Carbide MOSFET Power modules[J]. IEEE Transactions on Power Electronics, 2018, 33(6): 5215-5225.
- [21] 盛况, 郭清. 碳化硅电力电子器件在电网中的应用展望, 南方电网技术[J]. 2016, 10(3): 87-90.
- [22] 金晓行, 李士颜, 田丽欣, 陈允峰, 郝凤斌, 柏松, 潘艳. 6.5kV 高压全 SiC 功率 MOSFET 模块研制[J]. 中国电机工程学报, 2020, 40(6): 1753-1755.
- [23] Deng X. C. Gao S. F. Tan B. et al. Multizone gradient-modulated guard ring technique for ultrahigh voltage 4H-SiC devices with increased tolerances to implantation dose and surface charges[J]. IEEE Journal of emerging and selected topics in power electronics, 2019, 7(3), 1505-1512.
- [24] 李子欣, 高范强, 赵聪, 等. 电力电子变压器技术研究综述[J]. 中国电机工程学报, 2020, 38(5): 1274-1289.
- [25] L. Cheng, J. W. Palmour, A. K. Agarwal, et al. Strategic overview of high-voltage SiC power device development aiming at global energy savings[J]. Materials Science Forum, 2014, 778-780, 1089-1095.
- [26] N. Kaji, H. Niwa, J. Suda, and T. Kimoto. Ultrahigh-Voltage SiC p-i-n Diodes With Improved Forward Characteristics[J]. IEEE Trans. Electron Devices, 2015, 62(2), 374-381.
- [27] Li X Q. Design and simulation of high voltage 4H silicon carbide power devices[D]. Ph.D Thesis, United states: Rutgers, 2005.
- [28] Akihiro K., Mitsuru S., Kensuke T., et al. Low VF 4H-SiC N-i-P diodes using newly developed low-resistivity p-type substrates[J]. Japanese Journal of Applied Physics, 2020, 59: SGGD14
- [29] 邓小川, 谭犇, 万殊燕, 等. 超高压 SiC 电力电子器件及其在电网中的应用[J]. 智能电网, 2017, 5(8): 733-741.
- [30] <http://www.iivadvmat.com/SiC-products/SiC-Products.html>.
- [31] <http://www.lpe-epi.com/pe106.aspx?sm=sm21>.
- [32] https://www.aixtron.com/en/products/AIX%20G5%20WW%20_p88.
- [33] http://www.nuflare.co.jp/english/products/epitaxial/EPIREVO_S6.html.
- [34] <https://www.tel.com/product/probus-sic.html#product5406>.
- [35] F. La Via, G. Izzo, M. Mauceri, et al. 4H-SiC epitaxial layer grown by trichlorosilane (TCS)[J]. J. Cryst. Growth, 2008, 311 (1): 107-113.
- [36] F. La Via, M. Camarda, A. La Magna, Mechanism of growth and defect properties of epitaxial SiC[J]. Appl. Phys. Rev. 2014, 1 (3) :031301.
- [37] G. Dhanaraj, M. Dudley, Yi Chen, et al., Epitaxial growth and characterization of silicon carbide films[J]. J. Cryst. Growth , 2006, 287 (2): 344-348.

- [38] I. Chowdhury, M.V.S. Chandrasekhar, P.B. Klein, et al., High growth rate 4H-SiC epitaxial growth using dichlorosilane in a hot-wall CVD reactor[J]. *J. Cryst. Growth*, 2011, 316 (1) 60–66.
- [39] H. Pedersen, S. Leone, A. Henry, et al. Very high growth rate of 4H-SiC epilayers using the chlorinated precursor methyltrichlorosilane(MTS)[J]. *J. Cryst. Growth*, 2007, 307 (2): 334–340.
- [40] D. Crippa, G. L. Valente, A. Ruggiero, et al. New Achievements on CVD Based Methods for SiC Epitaxial Growth[J]. *Materials Science Forum*, 2005, 483-485:67-72.
- [41] Lu P, Edgar JH, et al. High-speed homoepitaxy of SiC from methyltrichlorosilane by chemical vapor deposition[J]. *Journal of Crystal Growth*, 2005, 285(4):506-513.
- [42] Pedersen H, Leone S, et al., Very high epitaxial growth rate of SiC using MTS as chloride-based precursor[J]. *Journal of Crystal Growth*, 2007, 307(2): 334-340.
- [43] Henry A. SiC epitaxy growth using chloride-based CVD[J]. *Physica B*, 2012, 407 (10) 1467-1471.
- [44] Yazdanfar M. Morphology Optimization of Very Thick 4H-SiC Epitaxial Layers[J]. *Materials Science Forum*, 2013, 740-742:251-254.
- [45] Tsuchida H. et al. Recent advances in 4H-SiC epitaxy for high-voltage power devices[J]. *Materials Science in Semiconductor Processing*, 2018, 78 : 2–12.
- [46] Keiji W., Takaya M., Hironori I. et al. Extensive 99% killer defect free 4H-SiC epitaxial layer toward high current large chip devices[J]. *Materials Science Forum*, 2018, 963:105-108.
- [47] Tsuchida H. et al. Advances in Fast Epitaxial Growth of 4H-SiC and Defect Reduction[J]. *Materials Science Forum*, 2016, 858:119-124.
- [48] Thomas B, Zhang J. et al. Homoepitaxial chemical vapor deposition of up to 150 μ m thick 4H-SiC epilayers in a 10x100mm batch reactor[J]. *Materials Science Forum*, 2016, 858:129-132.
- [49] Dalibor T, Pensl G, Matsunami H, et al. Deep Defect Centers in Silicon Carbide Monitored with Deep Level Transient Spectroscopy[J]. *Physica Status Solidi*, 1997, 162(1):199–225.
- [50] Hemmingsson C, Son N T, Kordina O, et al. Deep level defects in electron-irradiated 4H SiC epitaxial layers[J]. *Journal of Applied Physics*, 1997, 81(9):6155.
- [51] Klein P B, Shanabrook B V, et al., Lifetime-limiting defects in n-n- 4H-SiC epilayers[J]. *Applied Physics Letter*, 2006, 88(5): 052110.
- [52] Danno K, Nakamura D, et al., Investigation of carrier lifetime in 4H-SiC epilayers and lifetime control by electron irradiation[J]. *Applied Physics Letter*, 2007, 90(20): 202109.
- [53] Kawahara K, Suda J, et al., Analytical model for reduction of deep levels in SiC by thermal oxidation[J]. *Journal of Applied Physics*, 2012, 111(5): 053710.
- [54] Kawahara K, Thang T X, et al., Investigation on origin of $Z_{1/2}$ center in SiC by deep level transient spectroscopy and electron paramagnetic resonance[J]. *Applied Physics Letter*, 2013, 102(11): 112106.

- [55] Hiyoshi T, Kimoto T, Reduction of deep levels and improvement of Carrier lifetime in n-type 4H-SiC by thermal oxidation[J].Applied Physics Express, 2009, 2(4): 041101.
- [56] Hiyoshi T, Kimoto T, Elimination of the major deep levels in n-type and p-type 4H-SiC by two-step thermal treatment[J].Applied Physics Express, 2009, 2(9): 091101.
- [57] Storasta L, Tsuchida H,Reduction of traps and improvement of carrier lifetime in 4H-SiC epilayers by ion implantation[J].Applied Physics Letter, 2007, 90(6): 062116.
- [58] Storasta L, Tsuchida H,et al.,Enhanced annealing of the $Z_{1/2}$ defect in 4H-SiC epilayers[J].Journal of Applied Physics,2008, 103(1): 013705.
- [59] Litton C. W., Johnstone D., Akarca-Biyikli S., et al, Effect of C/Si ratio on deep levels in epitaxial 4H-SiC [J]. Applied Physics Letter,2006,88(12):121914.
- [60] Fujiwara H., Danno K., Kimoto T. et al, Effects of C/Si ratio in fast epitaxial growth of 4H-SiC(0001) by vertical hot-wall chemical vapor deposition[J].Journal of Crystal Growth, 2005,281(2):370-376.
- [61] Danno K., Hori T., Kimoto T., Impacts of growth parameters on deep levels in n-type 4H-SiC[J].Journal of Applied Physics,2007,101(5):053709.
- [62] Takahashi J. and Ohtani N. Modified-silicon SiC crystals grown in [11-00] and [112-0] directions[J]. Phys. Status solidi B,1997,202(1),163-175.
- [63] Ha S , Chung H J , Nuhfer N T , et al. Dislocation nucleation in 4H silicon carbide epitaxy[J]. Journal of Crystal Growth, 2004, 262(1):130-138.
- [64] Kimoto T., Material science and device physics in SiC technology for high-voltage power devices[J]. Japanese Journal of Applied Physics, 2015, 54(4):040103.
- [65] Mrinal K.Das, Robert Callanan, D.Craig Capell, et al. State of the Art 10 kV NMOS Transistors. Proceedings of the 20th International Symposium on Power Semiconductor Devices & IC's. 2008[C] .Orlando, FL, USA. 253-255.
- [66] Sei-Hyung Ryu, Allen Hefner, Subhashish Bhattacharya, et al. High Performance, Ultra High Voltage. 24th International Symposium on 4H-SiC IGBTs. Power Semiconductor Devices and ICs (ISPSD), 2012[C]: 257-260.
- [67] Ryu S., Capell C., Jonas C., et al. Ultra High Voltage IGBTs in 4H-SiC.2013 IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA). 2013[C]: 36-39.
- [68] Van Brunt E , Cheng L , O'Loughlin M J , et al. 27 kV, 20 A 4H-SiC n-IGBTs[J]. Materials Science Forum, 2015, 821-823:847-850.
- [69] Casady J B,Pala V,Lichtenwalner D J,et al. New generation 10 kV SiC power MOSFET and diodes for industrial applications[C]. Proceedings of PCIM Europe 2015, Nuremberg, Germany: VDE,2015:1-8.

- [70] Xiaolei Yang, et.al, Fabrication of 4H-SiC n-channel IGBTs with ultra high blocking voltage[J].Journal of Semiconductors, 2018,39(3): 034005.
- [71] Zhengxin Wen, Feng Zhang, Zhanwei Shen, et al, Design and fabrication of 10-kV silicon carbide p-channel IGBTs with hexagonal cells and step space modulated junction termination extension[J]. Chin. Phys. B, 2019,28(6):068504.
- [72] Xiaoli Tian, Ben Tan, Yun Bai, et al, Simulation study for the structural cell design optimization of 15kV SiC p-Channel IGBTs[J].Materials Science Forum, 2019,963:666-669.
- [73] Kotamraju S, Vudumula P,Improved device characteristics obtained using a novel high-k dielectric stack for 4H-SiC N-IGBT: HFO₂-SiO₂-ALN[J].Materials Science Forum, 2019,963:647-650.
- [74] Jian H.Zhao, Petre Alexandrov, and X. Li Demonstration of the first 10-kV 4H-SiC Schottky barrier diodes[J]. IEEE electron device letters, 2003, 24(6):402-404.
- [75] Brett A. Hull, Joseph J. Sumakeris, Michael J. O'Loughlin, et al. Performance and Stability of Large-Area 4H-SiC[J]. IEEE Transactions on electron devices, 2008,55(8): 1864-1870.
- [76] Sugawara Y., Takayama D., Asano K., et al. 12-19kV 4H-SiC pin Diodes with Low Power Loss. Proceedings of 2001 International Symposium on Power Semiconductor Devices & ICs. 2001[C]: 27-30.
- [77] Mrinal K. Das, Brett A. Hull, James T. Richmond, et al. Ultra High Power 10 kV, 50 A SiC PiN Diodes. Proceedings of the 17th International Symposium on Power Semiconductor Devices & IC's, 2005[C]: 1-4.
- [78] Hiroki Niwa, Gan Feng, Jun Suda, et al. Breakdown Characteristics of 15-kV-Class 4H-SiC PiN Diodes With Various Junction Termination Structures[J]. IEEE Transactions on electron devices, 2012, 59(10):2748-2753.
- [79] Hiroki Niwa, Gan Feng, Jun Suda, et al. Breakdown Characteristics of 12-20 kV-class 4H-SiC PiN Diodes with Improved Junction Termination Structures. Proceedings of the 2012 24th International Symposium on Power Semiconductor Devices and ICs. 2012[C]: 381-384.
- [80] Kaji N.,Niwa H.,Suda J., et al. Ultrahigh-Voltage(>20kV) SiC PiN Diodes with a Space-Modulated JTE and Lifetime Enhancement Process via Thermal Oxidation. International Conference on Silicon Carbide and Related Materials[C]. 2013: 86.
- [81] Kaji N.,Niwa H.,Suda J.,et al. Ultrahigh-voltage SiC p-i-n diodes with improved forward characteristics[J]. IEEE Transactions on Electron Devices,2015,62(2):374-381.
- [82] Niwa H.,Suda J.,Kimoto T. Ultrahigh-Voltage SiC MPS diodes with hybrid unipolar/bipolar operation[J]. IEEE Transactions on Electron Devices,2016,PP(99):1-8.
- [83] Runhua Huang, et.al. Development of 17kV 4H-SiC PiN diode[J]. Journal of Semiconductors, 2016, 36(3): 084001.

- [84] Xiaochuang Deng, Liping Yang, Xuan Li, et al., Experimental study and characterization of an ultrahigh-voltage Ni/4H-SiC junction barrier schottky rectifier with near ideal performances[J].*Superlattices & Microstructures*,2020,138:106381.
- [85] K. Nakayama, et al., 27.5 kV 4H-SiC PiN diode with space-modulated JTE and carrier injection control[C].*Proceedings of the 30th ISPSD*,2018:395–398.
- [86] Okada T, Kimoto T, et al. Correspondence between surface morphological faults and crystallographic defects in 4H-SiC homoepitaxial film[J].*Japanese Journal of Applied Physics*, 2002, 41(6): 6320-6326.
- [87] Wahab Q, Ellison A, et al. Influence of epitaxial growth and substrate induced defects on the breakdown of high-voltage 4H-SiC Schottky diodes[J]. *Materials Science Forum*, 2000, 338-342(2):1175-1178.
- [88] Kato T, Kinoshita A, et al. Morphology Improvement of Step-Bunching on 4H-SiC Wafers by Polishing Technique[J]. *Materials Science Forum*, 2010, 645-648: 763-765.
- [89] Kimoto T. et al. Effects of surface defects on the performance of 4H-and 6H-SiC pn junction diodes[J]. *Materials Science and Engineering*,1999,B61–62:349–352.
- [90] Matsunami H, Kimoto T. Step controlled epitaxial growth of SiC: High quality homoepitaxy[J]. *Materials Science and Engineering: R:Reports*, 1997, 20(3): 125-166.
- [91] Yun Li, Zhifei Zhao, Le Yu, et al. Reduction of morphological defects in 4H-SiC epitaxial layers[J].*Journal of Crystal Growth*,2019,506:108-113.
- [92] Sze S. M. *Semiconductor devices, physics and technology*[M].2nd edn. John Wiley & Sons,Inc.,2002.
- [93] P. B. Klein, B. V. Shanabrook, S. W. Huh, et al. Lifetime-limiting defects in n-4H-SiC epilayers[J]. *Applied Physics Letters*.2006,88:052110
- [94] Kimoto T , Feng G , Hiyoshi T , et al. Defect Control in Growth and Processing of 4H-SiC for Power Device Applications[J]. *Materials Science Forum*. 2010,645-648:645-650.
- [95] K. Nakayama, A. Tanaka, M. Nishimura, et al. Characteristics of a 4H-SiC Pin Diode With Carbon Implantation/Thermal Oxidation [J]. *IEEE Trans. Electron Devices*.2012, 59(4):895-901.
- [96] Skowronski M. and Ha S. Degradation of hexagonal silicon carbide based bipolar devices[J]. *J. Appl. Phys.* 2006,99:011101.
- [97] Fujiwara H, Kimoto T, Tojo T, et al. Characterization of in-grown stacking faults in 4H-SiC(0001) epitaxial layers and its impacts on high-voltage schottky barrier diodes[J].*Appl.Phys.Lett.*,2005,87: 051912.
- [98] Hassan J and Bergman J P. Influence of structure defects on carrier lifetime in 4H-SiC epitaxial layers: optical lifetime mapping[J]. *J Appl Phys*,2009,105(12):123518.

- [99] Fujiwara H, Naruoka H, Konishi M, et al. Relationship between threading dislocation and leakage current in 4H-SiC diodes[J]. Applied Physics Letters, 2012, 100(24):242102.
- [100] M Na, J Keum, J H Moon, et al. the effect of threading dislocation on current-voltage characteristics of 3.3 kV 4H-SiC schottky barrier diode[J]. ECS Transaction, 2018,85(7):59-65.
- [101] Brice JC, The Growth of Crystal from Liquids[M].AMSTERDAM, North-Holland Publication, 1973.
- [102] Jawad UI Hassan, Robin Karhu, Louise Lilja and Erik Janzen. Wafer scale on-axis homoepitaxial growth of 4H-SiC(0001) for high-power devices:influence of different gas phase chemistries and growth rate limitations[J].Crystal growth & Desigh,2019,19:3288-3297.
- [103] Kimoto T, Nishino H, Yoo W S, et al. Growth mechanism of 6H-SiC in step-controlled epitaxy [J]. J Appl Phys, 1993, 73(2): 726-32.
- [104] Matsunami H, Kimoto T. Step-controlled epitaxial growth of SiC: high quality homoepitaxy [J]. Mat Sci Eng R, 1997, 20(3): 125-66.
- [105] Powell J. A., et al. Controlled growth of 3C-SiC and 6H-SiC films on low-tilt-angle vicinal (0001) 6H-SiC wafers[J]. Appl.Phys.Lett.,1991, 59 (3): 333-335.
- [106] Ishida Y, Takahashi T, Okumura H, et al. Development of a Practical High-Rate CVD System [J]. Mater Sci Forum, 2009, 600-603:119-22.
- [107] Pedersen H, Leone S, Henry A, et al. Very high growth rate of 4H-SiC epilayers using the chlorinated precursor methyltrichlorosilane (MTS) [J]. J Cryst Growth, 2007, 307(2): 334-40.
- [108] Myers R, Kordina O, Shishkin Z, et al. Increased Growth Rate in a SiC CVD Reactor Using HCl as a Growth Additive [J]. Mater Sci Forum, 2005, 483-485:73-76.
- [109] Lu P, Edgar J, Glembocki O, et al. High-speed homoepitaxy of SiC from methyltrichlorosilane by chemical vapor deposition [J]. J Cryst Growth, 2005, 285(4): 506-513.
- [110] Crippa D., Valente G. L., Ruggiero A., et al. New Achievements on CVD Based Methods for SiC Epitaxial Growth[J]. Materials Science Forum, 2005,483-485: 67-72
- [111] Kotamraju S, Krishnan B, Koshka Y. use of chlorinated carbon and silicon precursors for epitaxial growth of 4H-SiC at very high growth rates [J]. Phys Status Solidi-Rapid Res Lett, 2009, 3(5): 157-159.
- [112] Zhao W S, Sun G S, Wu H L, et al. Development of Vertical 3x2 " LPCVD System for Fast Epitaxial Growth on 4H-SiC [J]. Mater Sci Forum, 2012, 717-720:105-108.
- [113] Via F L, Izzo G, Mauceri M, et al. SiC-4H Epitaxial Layer Growth by Trichlorosilane (TCS) as Silicon Precursor at Very High Growth Rate [J]. Mater Sci Forum, 2009, 600-603:123-126.
- [114] L. Yang, L.X. Zhao, H.W. Wu, Effect of Temperature on Conversion of Basal Plane Dislocations to Treading Edge Dislocations During 4H-SiC Homoepitaxy[J]. Journal of Crystal

- Growth ,2020,531(15):125360.
- [115] L.X. Zhao, L. Yang, H.W. Wu, High Quality 4H-SiC Homo-epitaxial Wafer Using the Optimal C/Si ratio[J]. Journal of Crystal Growth, 2020,530(15):125302.
- [116] Schlichting H, Gersten K. Boundary-Layer Theory [M]. 9th ed., Berlin Heidelberg, Springer-Verlag, 2017.
- [117] Fujibayashi H., Ito M., Ito H., et al. Development of a 150 mm 4H-SiC epitaxial reactor with high-speed wafer rotation[J]. Appl. Phys. Express, 2014, 7 (1): 015502.
- [118] 唐有青,谭卫东,马利行,等. 硅外延双层结构的厚度测量[J]. 电子与封装, 2009,9(9):5-7.
- [119] Neudeck P. G. Electrical Impact of SiC Structural Crystal Defects on high Electric Field Devices[J]. Materials Science Forum, 2000,338-342 :1161-1166.
- [120] Neudeck, P.G. and Powell, J.A. Performance limiting micropipe defects in silicon carbide wafers[J]. IEEE Electron Device Lett., 1994,15(2), 63-65.
- [121] Koga, K., Fujikawa, Y., Ueda, Y. and Yamaguchi, T., Growth and characterization of 6H-SiC bulk crystals by the sublimation method, in Amorphous and Crystalline Silicon Carbide IV, Springer Proceedings of Physics, 1992,71: 96.
- [122] Kamata I., Tsuchida H., kimoto, T., Izumi, K. Structural transformation of screw dislocations via thick 4H-SiC epitaxial growth[J]. Japanese Journal of Applied Physics, 2002,39,(12A):6496-6500.
- [123] Basceri, C., Khlebnikov, I., Khlebnikov, Y. et al. Growth of micropipe-free single crystal silicon carbide (SiC) ingots via physical vapor transport (PVT)[J]. Materials Science Forum, 2006,527-529: 39-42.
- [124] Ha S., Skowronski M., Lendenmann H. Nucleation sites of recombination-enhanced stacking fault formation in silicon carbide p-i-n diodes[J]. J. Appl. Phys. 2004,99(1), 393-398.
- [125] Stahlbush R. E., Twigg M. E., Sumakeris J. J., et al., Mechanisms of Stacking Fault Growth in SiC PiN Diodes[J]. Mater. Res. Soc. Symp. Proc. 2004,815: J6.4.
- [126] Bergman J. P., Lendenmann H., Nilsson P. Å., et al., Crystal defects as source of anomalous forward voltage increase of 4H-SiC diodes[J]. Materials Science Forum, 2001, 353-356: 299-302.
- [127] Sumakeris J. J., Das M., McD H., Hobgood, et al. Approaches to Stabilizing the Forward Voltage of Bipolar SiC Devices[J]. Mater. Sci. Forum, 2004,457-460:1113-1116.
- [128] Ha S., Mieszkowski P., Skowronski M., and Rowland L. B., Dislocation conversion in 4H silicon carbide epitaxy[J]. J. Cryst. Growth, 2002, 244(3), 257-266.
- [129] Ohno T, Yamaguchi H, Kuroda S, et al. Direct observation of dislocations propagated from 4H-SiC substrate to epitaxial layer by X-ray topography[J]. Journal of Crystal Growth, 2004, 260(1-2):209-216.
- [130] Ohno T, Yamaguchi H, Kuroda S, et al. Influence of growth conditions on basal plane dislocation

- in 4H-SiC epitaxial layer[J]. *Journal of Crystal Growth*, 2004, 271(1-2):1-7.
- [131] Neudeck P G , Huang W , Dudley M . Breakdown Degradation Associated With Elementary Screw Dislocations In 4H-SiC P+N Junction Rectifiers[J]. *Solid State Electron.*, 1998, 42(12):2157-2164.
- [132] Berechman R A, Skowronski M, Soloviev S, et al. Electrical characterization of 4H-SiC avalanche photodiodes containing threading edge and screw dislocations[J]. *Journal of Applied Physics*, 2010, 107(11): 114504.
- [133] F. Zhao, M. M. Islam, B. K. Daas, and T. S. Sudarshan, Effect of crystallographic dislocations on the reverse performance of 4H-SiC p-n diodes[J]. *Mater. Lett.* 2010,64(3),281-283.
- [134] Hong, M.H., Samant, A.V. and Pirouz, P. Stacking fault energy of 6H-SiC and 4H-SiC single crystals[J]. *Philos. Mag. A*, 2000,80(4):919-935.
- [135] Hull D, Bacon D.J. *Introduction to Dislocations*[M], 4th edn, Butterworth-Heinemann, 2001.
- [136] R. Myers, O. Kordina, Z. Shishkin, et al. Increased Growth Rate in a SiC CVD Reactor Using HCl as a Growth Additive[J]. *Mater Sci Forum*, 2005, 483-485:73-76.
- [137] F. La Via, G. Galvagno, G. Foti, et al. 4H SiC epitaxial growth with chlorine addition. *Chemical Vapor Deposition*[J], 2006,12:509-515.
- [138] F. La Via, G. Izzo, M. Camarda, et al. Thick Epitaxial Layers Growth by Chlorine Addition. *Silicon Carbide and Related Materials*[J]. 2009, 615-617:55-60.
- [139] S. Leone, M. Mauceri, G. Pistone, et al. SiC-4H Epitaxial Layer Growth using Trichlorosilane as Silicon Precursor[J]. *Mater Sci Forum*, 2006,527-529: 179-182.
- [140] Lu P., Edgar J.H., Glembocki O.J., et al. High-speed homoepitaxy of SiC from methyltrichlorosilane by chemical vapor deposition[J]. *J. Cryst. Growth* 2005, 285:506-513.
- [141] I. Chowdhury, M. V. S. Chandrasekhar, P. B. Klein, et al. High growth rate 4H-SiC epitaxial growth using dichlorosilane in a hot-wall CVD reactor[J]. *J Cryst Growth*, 2011,316: 60-66.
- [142] S. Kotamraju, B. Krishnan, Y. Koshka. Use of chlorinated carbon and silicon precursors for epitaxial growth of 4H-SiC at very high growth rates[J]. *Phys Status Solidi-Rapid Res Lett*, 2009,3: 157-159.
- [143] STR Group, *Virtual Reactor –Software for Modeling of Long-Term Growth of Bulk Crystals*, St. Petersburg, Russia, 2014, 1-94
- [144] M. Ito, H. Fujibayashi, H. Ito et al., simulation study of high-speed wafer rotation effects in a vertical reactor for 4H-SiC epitaxial growth on 150mm substrates[J]. *Material Science Forum*, 2014,778-780:171-174.
- [145] Yu. N. Makarov, R. A. Talalaev, A. N. Vorob'ev et al., computational analysis of SiC HTCVD from silicon tetrachloride and propane[J]. *Materials Science Forum*, 2009,600-603:51-53.
- [146] Kimoto T. et. al. Performance Limiting Surface Defects in SiC Epitaxial p-n Junction Diodes[J].

- IEEE Transaction Electron Devices,1999,46(3):471-477.
- [147] Nakashima S., Harima H., Raman Investigation of SiC Polytypes[J]. Physica Status Solidi A, 1997, 162(1):39-64.
- [148] Neudeck PG, Electrical impact of SiC structural crystal defects on high electric field devices[J]. Materials Science Forum, 2000,338–342:1161–1166.
- [149] Yingxi Niu, Xiaoyan Tang, Renxu Jia , et al.. Influence of Triangle Structure Defect on the Carrier Lifetime of the 4H-SiC Ultra-Thick Epilayer[J].Chinese Physics. Letters, 2018, 35(7), 077103.
- [150] Suda J., Shoji H., and Kimoto T., Origin of etch hillocks formed on on-axis SiC(000-1) surface by molten KOH etching[J].Japanese Journal of Applied Physics, 2011,50:038002.
- [151] Hosoi T.,Konzono K.,Uenishi Y., et al.,Investigation of Surface and Interface Morphology of Thermally Grown SiO₂ Dielectrics on 4H-SiC (0001) Substrates[J]. Materials Science Forum,2011, 679–680:342-345.
- [152] J. Sameshima, O. Ishiyama, A. Shimozato, et al., Relation between Defects on 4H-SiC Epitaxial Surface and Gate Oxide Reliability[J].Materials Science Forum,2013,740–742:745-748.
- [153] Yamashita T.,Matsuhata H.,Miyasaka Y., et al. Origin Analyses of Trapezoid-Shape Defects in 4-Deg.-off 4H-SiC Epitaxial Wafers by Synchrotron X-Ray Topography[J]. Materials Science Forum,2014,778–780:374-377.
- [154] Ishiyama O., Yamada K., Sako H., et al. Gate oxide reliability on trapezoid-shaped defects and obtuse triangular defects in 4H-SiC epitaxial wafers[J].Japanese Journal of Applied Physics, 2014,53 (4S): 04EP15.
- [155] Sako H., Yamashita T., Sugiyama N., et al. Characterization of scraper-shaped defects on 4H-SiC epitaxial film surfaces[J]. Japanese Journal of Applied Physics2014, 53 (5) 051301.
- [156] Sameshima J., Ishiyama O., Shimozato A., et al. Relation between Defects on 4H-SiC Epitaxial Surface and Gate Oxide Reliability[J]. Materials Science Forum,2013,740–742:745-748.
- [157] Sumakeris J. J., Bergman J. P., Das M. K., et al. Techniques for Minimizing the Basal Plane Dislocation Density in SiC Epilayers to Reduce Vf Drift in SiC Bipolar Power Devices[J]. Materials Science Forum, 2006, 527-529:141-146.
- [158] Zhang Z , Moulton E , Sudarshan T S . Mechanism of eliminating basal plane dislocations in SiC thin films by epitaxy on an etched substrate[J]. Applied Physics Letters, 2006, 89(8):081910.
- [159] Zhang Z , Sudarshan T S . Basal plane dislocation-free epitaxy of silicon carbide[J]. Applied Physics Letters, 2005, 87(15):151913.
- [160] Stahlbush R E , Vanmil B L , Myers-Ward R L , et al. Basal plane dislocation reduction in 4H-SiC epitaxy by growth interruptions[J]. Applied Physics Letters, 2009, 94(4):041916.
- [161] Klapper H. Elastische Energie und Vorzugsrichtungen geradliniger Versetzungen in aus der

- Lösung gewachsenen organischen Kristallen[J]. Phys Stat Sol(a),1972,14:99-106
- [162] Kimoto T., Itoh A., and Matsunami H., Step bunching mechanism in chemical vapor deposition of 6H- and 4H-SiC{0001}[J]. Journal of Applied Physics,1997, 81(8):3494-3500.
- [163] Ishida Y., Takahashi T., Okumura H., Arai K. and Yoshida S.. Origin of Giant Step Bunching on 4H-SiC (0001) Surfaces[C]. The 12th International Conference on Silicon Carbide and Related Materials. Otsu, Japan, 2007,473-476.
- [164] Yan G. G., Liu X. F. Shen Z. W. et al, the influence of growth temperature on the 4H-SiC epilayers growth on different off-angle(0001) Si-face substrates[J], Journal of Crystal Growth,2019,507,175-179.
- [165] Burk A. A., and Rowland L. B., The role of excess silicon and in situ etching on 4H-SiC and 6H-SiC epitaxial layer morphology[J]. Journal of Crystal Growth,1996,167(3-4):586-595.
- [166] Ellison A, Zhang J, Magnusson W, et al., Fast SiC Epitaxial Growth in a Chimney CVD Reactor and HTCVD Crystal Growth Developments[J]. Materials Science Forum,2000, 338-342: 131-136.
- [167] Kushibe M., Ishida Y., Okumura H., et al, Competitive growth between deposition and etching in 4H-SiC CVD epitaxy using quasi-hot wall reactor[J]. Materials Science Forum ,2000,338:169-172.
- [168] Mauceri M., Pecora A., Litrico G., et al, 4H-SiC epitaxial layer grown on 150mm automatic horizontal hot wall reactor PE106[J]. Materials Science Forum, 2014,778-780:121-124.
- [169] Kimoto T., Yamada K., Niwa H., Suda J., Promise and challenges of high-voltage SiC bipolar power devices[J]. Energies,2016, 9(11): 908.
- [170] Kimoto T., Yonezawa Y., Current status and perspectives of ultrahigh-voltage SiC power devices[J]. Materials Science in Semiconductor Processing,2018,78:43-56.
- [171] Storasta L , Bergman J P , Janzen E , et al. Deep levels created by low energy electron irradiation in 4H-SiC[J]. Journal of Applied Physics, 2004, 96(9):4909-4915.
- [172] Brodar T, Capan I, Radulovic V, et al. Laplace DLTS study of deep defects created in neutron-irradiated n-type 4H-SiC[J]. Nuclear Inst. And Methods in Physics Research B,2018,437,27-31.
- [173] Danno, K. and Kimoto, T., Deep level transient spectroscopy on as-grown and electron-irradiated p-type 4H-SiC epilayers[J]. Journal of Applied Physics,2007,101(10):103704.
- [174] Storasta L , Carlsson F , Sridhara S G , et al. Pseudodonor nature of the D1 defect in 4H-SiC[J]. Applied Physics Letters, 2001, 78(1):46-48.
- [175] Kimoto T. and Cooper J.A., Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices and Applications[M]. New York. Wiley-IEEE Press.2014:103.
- [176] Hornos T, GaliA, et al., Large-Scale Electronic Structure Calculations of Vacancies in 4H-SiC Using the Heyd-Scuseria-Ernzerhof Screened Hybrid Density Functional[J]. Materials Science Forum, 2011, 679–680: 261-264.

- [177] Ichikawa S, Kawahara K, Suda J, and Kimoto T. Carrier Recombination in n-Type 4H-SiC Epilayers with Long Carrier Lifetimes[J]. Applied Physics Express 2012,5:101301.
- [178] Kawahara K, Suda J, et al., Analytical model for reduction of deep levels in SiC by thermal oxidation[J]. Journal of Applied Physics, 2012, 111(5): 053710.
- [179] Kawahara K, Thang T X, et al., Investigation on origin of $Z_{1/2}$ center in SiC by deep level transient spectroscopy and electron paramagnetic resonance[J]. Applied Physics Letter, 2013, 102(11): 112106.
- [180] Shoma Y, Kimoto T, Analysis of carrier lifetimes in n-type 4H-SiC by rate equations[J]. Applied Physics Express, 2020, 13(1): 011006.
- [181] Lilja L, Booker I, et al., The influence of growth conditions on carrier lifetime in 4H-SiC epilayers[J]. Journal of Crystal Growth, 2013, 381(20): 43-50.
- [182] Litton C W, Johnstone D, et al., Effect of C/Si ratio on deep levels in epitaxial 4H-SiC[J]. Applied Physics Letter, 2006, 88(12): 121914.
- [183] Danno K, Hori T, et al., Impacts of growth parameters on deep levels in n-type 4H-SiC[J]. Journal of Applied Physics, 2007, 101(5): 053709.
- [184] Storasta L, Tsuchida H, Reduction of traps and improvement of carrier lifetime in 4H-SiC epilayers by ion implantation[J]. Applied Physics Letter, 2007, 90(6): 062116.
- [185] Storasta L, Tsuchida H, et al., Enhanced annealing of the $Z_{1/2}$ defect in 4H-SiC epilayers[J]. Journal of Applied Physics, 2008, 103(1): 013705.
- [186] Hiyoshi T, Kimoto T, Reduction of deep levels and improvement of Carrier lifetime in n-type 4H-SiC by thermal oxidation[J]. Applied Physics Express, 2009, 2: 041101.
- [187] Hiyoshi T, Kimoto T, Elimination of the major deep levels in n-type and p-type 4H-SiC by two-step thermal treatment[J]. Applied Physics Express, 2009, 2(9): 091101.
- [188] Ayedh H M, Nipoti R, Hallén, A, et al. Elimination of carbon vacancies in 4H-SiC employing thermodynamic equilibrium conditions at moderate temperatures[J]. Applied Physics Letters, 2015, 107(25): 252102.
- [189] Negoro Y, Katsumoto K, Kimoto T, et al. Electronic behaviors of high-dose phosphorus-ion implanted 4H-SiC (0001)[J]. Journal of Applied Physics, 2004, 96(1): 224-228.
- [190] Kimoto T, Danno K, Suda J., Lifetime-killing defects in 4H-SiC epilayers and lifetime control by low-energy electron irradiation[J]. Physica Status Solidi (b), 2008, 245(7): 1327-1336.
- [191] Myers Ward R L, Lew K K, Vanmil B L, et al. Impact of 4H-SiC Substrate Defectivity on Epilayer Injected Carrier Lifetimes[J]. Materials Science Forum, 2009, 600-603: 481-484.
- [192] Taishi T, Hoshikawa T, Yamatani M, et al. Influence of crystalline defects in Czochralski-grown Si multicrystal on minority carrier lifetime[J]. Journal of Crystal Growth, 2007, 306(2): 452-457.

- [193] Miyanagi T. and Nishino S., Hot-Wall CVD Growth of 4H-SiC Using $\text{Si}_2\text{Cl}_6 + \text{C}_3\text{H}_8 + \text{H}_2$ System[J]. Materials Science Forum, 2002, 389–393:199-202
- [194] Feng G, Suda J, Kimoto T. Triple Shockley type stacking faults in 4H-SiC epilayers[J]. Applied Physics Letters, 2009, 94(9):091910.
- [195] Hoshino N, Tajima M, Nishiguchi T et al. Nondestructive Analysis of Propagation of Stacking Faults in SiC Bulk Substrate and Epitaxial Layer by Photoluminescence Mapping[J]. Japanese Journal of Applied Physics. 2007, 46:L973-L975.
- [196] Odawara M, Kamei K, Miyasaka Y, et al. Defects Grouping and Characterizations of PL-Imaging Methods for 4H-SiC Epitaxial Layers[J]. Materials Science Forum, 2014, 778-780:382-385.
- [197] Cui Y.X., Li J. T. Zhou K et al. Influence of extended defects and oval shaped facet on the minority carrier lifetime distribution in as-growth 4H-SiC epilayers[J]. Diamond & Related Materials, 2019, 92, 25-31.
- [198] Liu K X, Stahlbush R E, Twigg M E, et al. Photoluminescence and Electroluminescence Imaging of Carrot Defect in 4H-SiC Epitaxy[J]. Journal of Electronic Materials, 2007, 36(4):297-306.
- [199] Wu P, Emorhokpor E, Yoganathan M, et al. Dislocation in 4H n + SiC Substrates and their Relationship with Epilayer Defects[J]. Materials Science Forum, 2007, 556-557:247-250.
- [200] Galeckas A, Linnros J, and Frischholz. Characterization of carrier lifetime and diffusivity in 4H-SiC using time-resolved imaging spectroscopy of electroluminescence[J]. Mater.Sci.Eng. B, 2003, 102:304-307.
- [201] Masashi K, Atsushi Y, and Masaya I. Estimation of Surface Recombination Velocity from Thickness Dependence of Carrier Lifetime in n-Type 4H-SiC Epilayers[J]. Japanese Journal of Applied Physics, 2012, 51: 02BP12.
- [202] P. B. Klein. Carrier lifetime measurement in n- 4H-SiC epilayers[J]. Journal of Applied Physics, 2008, 103:033702.
- [203] Shivastava A, Klein P.B., Glaser E.R., Caldwell J.D. Long carrier lifetime in the 4H-SiC epilayers using chlorinated precursors[J]. Materials Science Forum, 2009, 615-617:291-294.
- [204] Ishida Y., Yoshida S. Investigation of giant step bunching in 4H-SiC homoepitaxial growth: proposal of cluster effect model[J]. Japanese Journal of Applied Physics, 2015:061301.
- [205] Hong M.H., Samant A.V. and Pirouz P. Stacking fault energy of 6H-SiC and 4H-SiC single crystals[J]. Philosophical Magazine A, 2000, 80(4):919-935.
- [206] Song H K, Moon J H, Kim H J, et al. Observation of stacking faults formed during homoepitaxial growth of p-type 4H-SiC[J]. Applied Physics Letters, 2009, 94:112109.
- [207] B. J. Baliga, Wide Bandgap Semiconductor Power Devices: Material, Physics, Design, and Applications[M], Berlin, Springer, 2019, 4.

- [208] Stahlbush R E, Fedison J B, Arthur S D, et al. Propagation of current induced stacking faults and forward voltage degradation in 4H-SiC PiN diodes[J]. Materials Science Forum, 2002,389-393:427-430.
- [209] Zhang Z,Maximenko S I,Shrivastava, Sadagopan A P, et al., Propagation of stacking faults from surface damage in SiC PiN diodes[J]. Applied Physics Letters,2006, 88, 062101.
- [210] Zhang Z and Sudarshan T S, Evolution of basal plane dislocations during 4H-silicon carbide homoepitaxy[J]. Applied Physics Letters,2005,87, 161917.
- [211] Bu Y, Yoshimoto H, Watanabe N and Shima A, Fabrication of 4H-SiC PiN diodes without bipolar degradation by improved device processes[J]. Journal of Applied Physics,2017,122,244504.
- [212] Zhang X, Ha S, Benamara M, et al., Structure of carrot defects in 4H-SiC epilayers[J]. Materials Science Forum, 2006,527-529:327-332.
- [213] Lu P, Edgar J H. The influence of the H₂/Ar ratio on surface morphology and structural defects in homoepitaxial 4H-SiC films grown with methyltrichlorosilane[J]. Journal of Applied Physics, 2007,101:054513.
- [214] Zhao F, Islam M M, Daas B K, et al., Effect of crystallographic dislocations on the reverse performance of 4H-SiC p-n diodes[J]. Materials Letters,2010,64:281-283.
- [215] Fujiwara H, Kimoto T, Tojo T, et al., Characterization of in-grown stacking faults in 4H-SiC(0001) epitaxial layers and its impacts on high-voltage schottky barrier diodes[J]. Applied Physics Letters,2005,87: 051912.
- [216] Zhang Z, Maximenko S I, et al., Propagation of stacking faults from surface damage in SiC PiN diodes[J]. Applied Physics Letters,2006,88:062101.
- [217] Noboru O, Masakazu K, Tatsuo F, et al., Analysis of basal bending and basal plane dislocations in 4H-SiC single crystals[J]. Japanese Journal of Applied Physics, 2009,48:065503.
- [218] K. Kojima, T. Ohno, T. Fujimoto, M. Katsuno, N. Ohtani et al. Influence of stacking faults on the performance of 4H-SiC Schottky barrier diodes fabricated on (11-20) face[J]. Applied Physics Letters,2002,81:2974-2976.
- [219] 胡继超. 4H-SiC 低压同质外延生长和器件验证 [D]. 西安: 西安电子科技大学, 2017.

致谢

光阴荏苒,日月如梭,自从 2015 年有幸来到西电,我已在这里度过了 5 年时光。回首这几年的求学历程,有挫折、有无助、但收获更多的是成功与感动,我想借此机会对帮助过我的老师、同学、业内好友及国网的同事致以衷心的感谢。

在这里首先要感谢我的指导导师汤晓燕教授。自从我加入这个团队,汤老师以既温柔大方的性格、严格扎实的作风、平易近人的生活态度给我留下了深刻的印象。汤老师一直致力于为我们创造良好的科研条件及自由宽松的学习氛围,每每在学习中遇到问题时便会提出宝贵的意见,使我受益匪浅。

感谢张玉明教授。一直以来,张老师一直对我的科研及课题方向的选择悉心指导。并以其宽泛的学科知识、严谨的科学态度和儒雅的性格让我折服,从张老师的身上能看到一个真正的学者风范。

感谢贾仁需老师。每次与他的讨论总能使我受益匪浅,论文的撰写离不开贾老师耐心的指点。同时,我还需要感谢课题组的其他老师:郭辉老师、王悦湖老师、宋庆文老师,他们在器件建模、材料生长、工艺控制等方面给予了很大的帮助。

感谢国家电网全球能源互联网研究院的杨霏博士给予的帮助和大力支持,感谢桑玲、田丽欣、郑柳、田亮、夏经华等战友给予的帮助。

感谢合作单位中科院半导体所张峰、刘兴昉、刘斌、闫果果,苏州纳米所张泽洪,东莞天域张新河、孔令沂,厦门瀚天冯淦、钱卫宁,中电 55 所等合作单位的朋友提供的先进科研条件和支持。

在这里,还要感谢的是实验室的胡继超、唐冠男、刘思成等师兄姐妹,感谢你们在博士阶段学习中给予的帮助,与你们并肩作战我感到很荣幸;也谢谢你们在平日的生活中为实验室带来诸多欢声笑语。当然,也要感谢实验室的其他师兄姐妹,认识你们是我一生的财富。

感谢我的父母、爱人、亲人、同行朋友,谢谢你们的理解和支持。你们这些年对我的理解、信任和支持使已过而立之年的我能够专心科研。在未来的日子里,我们将携手迈进新的人生旅途。

作者简介

1. 基本情况

钮应喜, 男, 山西万荣人, 1982年5月出生, 西安电子科技大学微电子学院微电子与固体电子学专业2015级博士研究生。

2. 教育背景

2005.09~2008.07 中国矿业大学, 硕士研究生, 专业: 凝聚态物理

2015.09~ 西安电子科技大学, 博士研究生, 专业: 微电子与固体电子学

3. 攻读博士学位期间的研究成果

3.1 发表学术论文

- [1] **Yingxi Niu**, Xiaoyan Tang, Renxu Jia, Ling Sang, Jichao Hu, Fei Yang, Junmin Wu, Yan Pan and Yuming Zhang. Influence of Triangle Structure Defect on the Carrier Lifetime of the 4H-SiC Ultra-Thick Epilayer[J].CHIN.PHYS.LETT, 2018, 35(7), 077103.(SCI: 000439269700018).
- [2] **Niu Yingxi**, Tang Xiaoyan, Sang Ling, Li Yun, Kong Lingyi, Tian Liang, Tian Honglin, Wu Pengfei, Jia Renxu, Yang Fei, Wu Junmin, Pan Yan, Zhang Yuming. The influence of temperature on the silicon droplet evolution in the homoepitaxial growth of 4H-SiC[J]. Journal of Crystal Growth, 2018, 504, 37-40. (SCI: 000448411100007).
- [3] **Yingxi Niu**, Xiaoyan Tang, Pengfei Wu, Lingyi Kong, Yun Li, Jinghua Xia, Honglin Tian, Liang Tian, Lixin Tian, Wenting Zhang, Renxu Jia, Fei Yang, Junmin Wu, Yan Pan, Yuming Zhang. Effect of growth rate on morphology evolution of 4H-SiC thick homoepitaxial layers[J]. Journal of Crystal Growth, 2019,507,143-145.(SCI: 000455667500023).
- [4] **Yingxi Niu**, Xiaoyan Tang, Li xin Tian, Liu Zheng, Wenting Zhang, Jichao Hu, Lingyi Kong, Xinhe Zhang, Renxu Jia, Fei Yang, Yuming Zhang.Low Defect Thick Homoepitaxial Layers Grown on 4H-SiC Wafers for 6500V JBS Devices[J]. Materials Science Forum, 2019,954,114-120.(EI: 20193407354607)

- [5] Jichao Hu, Renxu Jia, **Yingxi Niu**, Yaun Zang, Hongbin Pu. Study of a new type nominal “washboard-like” triangular defects in 4H-SiC 4° off-axis (0001) Si-face homoepitaxial layers[J]. Journal of Crystal Growth, 2019,506,14-18. (SCI:000449709600003).
- [6] Yan Guoguo, Zhang Feng, **Niu Yingxi**, Yang Fei, Liu Xingfang, Wang Lei, Zhao Wanshun, Sun Guosheng and Zeng Yiping. Chloride-based fast homoepitaxial growth of 4H-SiC films in a vertical hot-wall CVD[J].Journal of Semiconductors,2016,37(6)063001.
- [7] Guoguo Yan, Feng Zhang, **Yingxi Niu**, Fei Yang, Xingfang Liu, Lei Wang, Wanshun Zhao, Guosheng Sun, Yiping Zeng. Effect of hydrogen flow on growth of 3C-SiC heteroepitaxial layers on Si(111) substrates[J].Applied Surface Science,2015,353,744-749. (SCI:000361220700096)
- [8] Guoguo Yan, Feng Zhang, **Yingxi Niu**, Fei Yang, Xingfang Liu, Lei Wang, Wanshun Zhao,Guosheng Sun, Yiping Zeng, Study of chloride-based homoepitaxial growth on 4°off-axis (0001) 4H-SiC substrate, Semiconductor Optoelectronics(in Chinese)2016,37:353-357.
- [9] Yun Li;Zhifei Zhao;Le Yu;Yi Wang;Ping Zhou;**Yingxi Niu**;Zhonghui Li;Yunfeng Chen;Ping Han. Reduction of morphological defects in 4H-SiC epitaxial layers[J]. Journal of Crystal Growth, 2019,506,108-113. (SCI:000449709600018)

3.2 参与科研项目及获奖

- [1] 基于国产宽禁带电力电子器件的新型高效光伏逆变器研制及示范应用，国家 863 项目，起止时间：2014-2016，已结题。
- [2] 大尺寸 SiC 材料与器件的制造设备与工艺技术研究，国家 863 项目，起止时间：2014-2016，已结题。
- [3] 高压大功率 SiC 材料、器件及其在电力电子变压器中的示范应用，国家重点研发计划,起止时间：2016-2020，在研。
- [4] 碳化硅大功率电力电子器件及应用基础理论研究，国家重点研发计划，起止时间：2018-2021，在研。
- [5] 超厚碳化硅外延平台关键设备及工艺研究,国家电网公司科技项目，起止时间：2014-2015，已结题。
- [6] 碳化硅外延平台关键设备及工艺研究,国家电网公司科技项目，起止时间：2015-2016，已结题。

- [7] 用于碳化硅二极管的 p 型外延技术研究, 国家电网公司科技项目, 起止时间: 2015-2016, 已结题。
- [8] 科技进度二等奖, 国家电网公司国网智能电网研究院, 2015 年。

3.3 制定标准

- [1] 钮应喜、杨霏、温家良、吴军民、潘艳等, 碳化硅外延片表面缺陷测试方法, 团体标准, 2017.12 月发布、实施。
- [2] 冯淦、陈志霞、钮应喜、张新河等, 碳化硅外延层载流子浓度测定 汞探针电容-电压法, 团体标准, 2017.12 发布、实施。
- [3] 张新河、钮应喜、王英民等, 4H 碳化硅同质外延层厚度的红外反射测量方法, 团体标准, 2018.12 发布、实施。

3.4 授权发明专利

- [1] 钮应喜、杨霏、于坤山, 一种用于生产碳化硅外延片的化学气相沉积设备, 发明专利, 中国, 授权号: CN103603048B。
- [2] 钮应喜、杨霏、于坤山, 一种碳化硅外延生长装置, 发明专利, 中国, 授权号: CN103556219B。
- [3] 钮应喜、杨霏, 一种 N 型低缺陷碳化硅外延片的制备方法, 发明专利, 中国, 授权号: CN104934318B。
- [4] 钮应喜、杨霏, 一种 P 型低偏角碳化硅外延片的制备方法, 发明专利, 中国, 授权号: CN105006423B。
- [5] 钮应喜、杨霏、温家良、陈新, 一种碳化硅晶片外延前预清洗方法, 发明专利, 中国, 授权号: CN104505338B。
- [6] 钮应喜、杨霏、温家良、陈新, 一种碳化硅外延材料及其制备方法, 发明专利, 中国, 授权号: CN104465721A。



西安电子科技大学
XIDIAN UNIVERSITY

地址：西安市太白南路2号

邮编：710071

网址：www.xidian.edu.cn